

СРЕДСТВА ОРГАНИЗАЦИИ СИСТЕМ СБОРА ДАННЫХ ДЛЯ ПРОВЕДЕНИЯ ЭКСПЕРИМЕНТОВ В ОБЛАСТИ ФИЗИКИ ВЫСОКИХ ЭНЕРГИЙ

В.А.Смирнов

Объединенный институт ядерных исследований, Дубна

В обзоре рассматривается эволюция основных принципов архитектурного построения систем сбора данных для экспериментальных установок, созданных в области физики высоких энергий и релятивистской ядерной физики на протяжении последних 25 лет. Показано влияние, производимое такими новейшими достижениями в вычислительной технике и в средствах коммуникации, как микропроцессоры и стандарты построения магистрально-модульных систем, на совершенствование средств регистрации и сбора экспериментальной информации. Процесс развития систем сбора данных проиллюстрирован примерами разработок, проводимых в ведущих мировых физических центрах и в Лаборатории высоких энергий (ОИЯИ, Дубна). На примерах построения экспериментальных установок для проведения исследований на ускорителях-коллайдерах LHC (CERN), RHIC (Brookhaven National Laboratory), создаваемых в настоящее время, рассматриваются тенденции будущего развития систем сбора данных.

In this review an evolution of basic principles of data acquisition system architectonic construction for experimental setups created in high energy physics and relativistic nuclear physics during the last 25 years is discussed. An influence of such the newest achievements made in computer facilities and in communication means as microprocessors and open bus system standards on perfection of registration and data acquisition equipment is shown. The evolution process of DAQ systems is illustrated by some examples of developments realized in the basic world physical centres and in the Laboratory of High Energies (JINR, Dubna). The tendencies of the future DAQ developments using some examples of currently created experimental installations to provide a research program on such biggest colliders as LHC (CERN) and RHIC (Brookhaven National Laboratory) are considered.

1. ВВЕДЕНИЕ

Современные экспериментальные исследования, проводимые в области физики высоких энергий и релятивистской ядерной физики, направлены на изучение процессов, характеризующихся очень низкой вероятностью их проявления на фоне процессов, на несколько порядков более вероятных. Даже сравнительно небольшая по количеству входящих в ее состав детекторов современная экспериментальная установка, предназначенная для работы в области физики высоких энергий и релятивистской ядерной физики, включает в себя несколько сотен тысяч каналов регистрации. Это определяет тот набор электронной аппаратуры, который необходим для организации систем сбора данных (ССД). Аппаратную основу ССД составляют модули ядерной электроники, средства вычислительной техники, к которым относятся ЭВМ и модули вычислительной техники, выполненные в одном из ее стандартов (CAMAC, VME, FASTBUS и т.п.), а также интерфейсы ЭВМ. Последние 25 лет средства регистрации экспериментальной информации развиваются особенно высокими темпами, что во многом определяется новейшими достижениями в вычислительной технике и в средствах коммуникации.

Экспериментальные установки в физике высоких энергий и релятивистской ядерной физике предназначены для проведения исследований на ускорителях заряженных частиц. Как правило, время работы экспериментальной установки на ускорителе строго ограничено. Это обстоятельство приводит к необходимости построения высокопроизводительных ССД, которые позволяют регистрировать достаточное количество событий изучаемого физического процесса в течение минимально возможного времени ее экспозиции на ускорителе. Таким образом, основной задачей ССД является регистрация максимально возможного количества полезных событий. На этот процесс прежде всего влияют эффективность отбора событий и время, затрачиваемое на чтение данных о событии, которые, в свою очередь, зависят от способа организации (архитектурного построения) ССД.

Анализ архитектуры различных ССД, работающих в физике высоких энергий, показывает, что в них есть много общего. Основные отличия отражают специфику изучаемых на этой установке физических процессов и используемых детекторов [1].

Создание экспериментальных установок в ОИЯИ проводится на основе широкого международного сотрудничества, которое диктует необходимость использования стандартного подхода к разработке всех аппаратных и программных компонентов ССД. Анализ опыта построения ССД на протяжении последних 25 лет показывает, что эффективность работы всей системы во многом зависит от ее организации. В настоящее время в литературе наиболее часто упоминаются следующие принципы организации ССД.

1) Единая архитектура, то есть способность к объединению в рамках единого комплекса всех аппаратных средств, необходимых для решения задачи регистрации экспериментальных данных. Следует также упомянуть о расширяемости системы, то есть потенциальной возможности включения в ее состав нового оборудования, и наращиваемости, когда ее увеличение достигается простым подключением новых элементов к магистралям системы.

2) Модульность и открытость, которые обеспечивают унификацию требований различных экспериментов, допускают изменение требований в процессе создания и эксплуатации ССД, обеспечивают независимость от конкретного поставщика электронных модулей и гарантируют в будущем использование аппаратуры следующих поколений.

Организационную основу ССД составляют:

1) Элементы связи и интерфейсы, которые обеспечивают все необходимые коммуникации между управляющими и исполнительными модулями системы для передачи данных, обмена сообщениями и передачи сигналов экстренного реагирования. Именно они определяют пропускную способность каналов связи, а также ширину передаваемых кодов адреса и данных. Через них в состав системы включаются процессорные узлы и ЭВМ, и на их основе создается мультипроцессорная система.

2) Процессор(ы) и (или) ЭВМ, которые управляют процессом сбора данных, осуществляют предварительную обработку (сжатие, фильтрация, учет калибровок, первичный анализ) экспериментальной информации, принимают решение о целесообразности приема данных о событии, обеспечивают проведение диалога с экспериментатором, визуализацию процесса сбора данных, передачу данных в устройства долговременного хранения. При этом процессорные элементы должны иметь высокую производительность, обладать способностью к интеграции в состав ССД, обеспечивать возможность работы в реальном масштабе времени и в составе мультипроцессорной системы.

2. ЭТАПЫ РАЗВИТИЯ АРХИТЕКТУРЫ ССД

2.1. Однопроцессорные системы. На рубеже 60—70 годов проведение экспериментальных исследований в области физики высоких энергий стало невозможным без использования в составе ССД малой ЭВМ [2]. ЭВМ стала частью экспериментальной установки, такой же, как детекторы регистрации частиц и модули ядерной электроники.

В Лаборатории высоких энергий (ЛВЭ) ОИЯИ малая ЭВМ впервые использовалась для организации сбора данных с установки, предназначенной для исследования радиационных распадов резонансов (установка

ФОТОН) [3]. Это была ЭВМ типа HP2116B производства фирмы «Хьюлетт — Паккард» (США). Малая ЭВМ имела достаточно простой набор команд, скорость выполнения которых была на уровне 1 мкс. ОЗУ HP2116B, которое имело емкость 32К 16-разрядных слов, было предназначено для хранения программ, буферов данных, гистограмм и других результатов эксперимента. Использование только одного процессора в составе экспериментальной установки определялось как методическими причинами — одна ЭВМ полностью обеспечивала потребности эксперимента по скорости набора данных, так и финансовыми возможностями — стоимость комплекта ЭВМ определяла основную часть затрат на создание установки. Количество каналов регистрации экспериментальной установки ФОТОН превышало возможности канала ввода/вывода ЭВМ по количеству подключаемых устройств. Использование аппаратуры в стандарте САМАС и создание соответствующих интерфейсов с каналом ввода/вывода ЭВМ обеспечило решение этой проблемы [4,5]. На рис.1 показана блок-схема типичной однопроцессорной ССД.

В процессе построения ССД для экспериментальных установок того времени определились две основные методические задачи, которые необходимо было решать [6]:

- объединение в единую систему аппаратуры, относящейся к многочисленным каналам регистрации и расположенной в нескольких крейтах САМАС;
- создание интерфейсов связи аппаратуры регистрации с каналом ввода/вывода ЭВМ, управляющей сбором данных.

На рис.2 приведены примеры архитектурного построения основных типов ССД, решающих эти задачи [7—9]. Это многокрейтные системы на основе специализированных контроллеров крейта САМАС (СКК), ориентированных на работу с определенным типом ЭВМ. На рис.2,а показано радиальное подключение СКК, когда каждый крейт является одиночным устройством периферии на шине ввода/вывода ЭВМ [10,11]. В ЛВЭ ОИЯИ такой тип подключения был реализован при создании самых первых этапов ССД установки ФОТОН [12]. На рис.2,б показано шлейфовое подключение контроллеров к каналу ввода/вывода ЭВМ [13,14]. На рис.2,в показано подключение при помощи специализированного драйвера ветви САМАС [15]. Разработка подобного специализированного драйвера для ЭВМ HP2116B обеспечила создание в ЛВЭ ОИЯИ многокрейтной ССД установки ФОТОН [16] и проведение на ней экспериментальных исследований по изучению дифференциального сечения реакций типа $\pi^-p \rightarrow \eta n$ при импульсе 3,3 ГэВ/с [17]. С появлением стандарта построения ветви САМАС [18], в котором были также определены принципы работы контроллера крейта типа А (ККА), появились ССД, архитектура которых показана на рис.2,г [19,20].

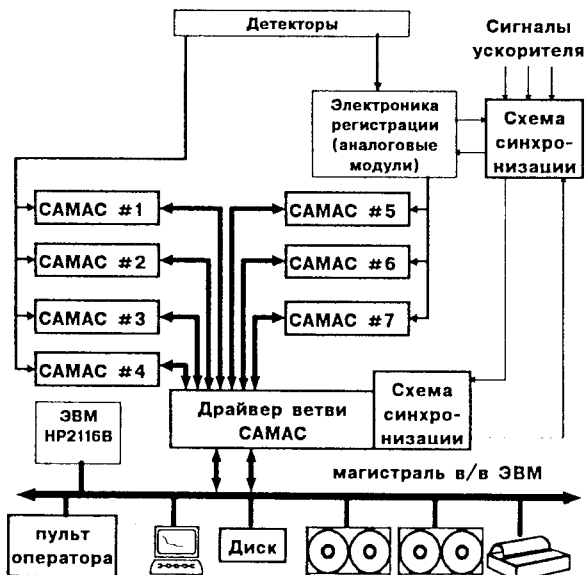


Рис.1. Блок-схема ССД установки ФОТОН, основанная на мини-ЭВМ HP2116B

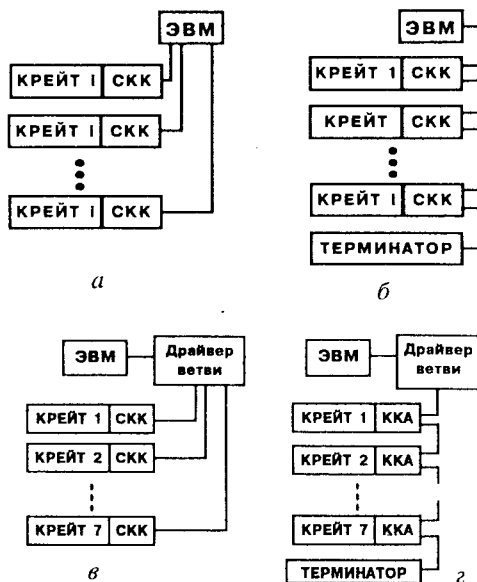


Рис.2. Архитектурное построение основных типов ССД на основе аппаратуры в стандарте САМАС

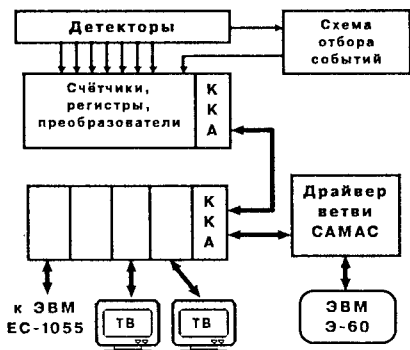


Рис.3. Блок-схема автоматизированной системы контроля триггера стримерной камеры

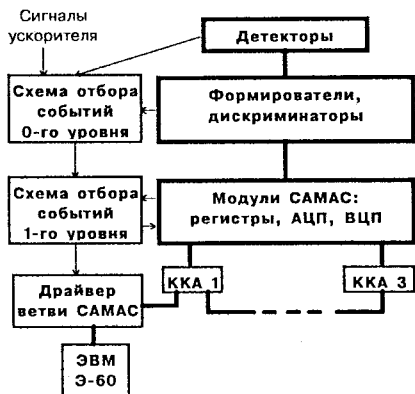
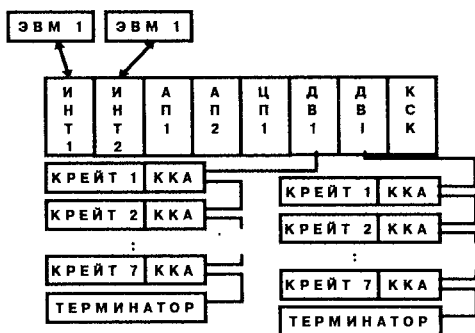


Рис.4. Блок-схема первого этапа экспериментальной установки СФЕРА

Наиболее перспективным, особенно при организации небольших (2—4 крейта САМАС) ССД, оказалось использование специализированного для данного типа малой ЭВМ драйвера ветви САМАС. В ЛВЭ ОИЯИ на этой основе еще несколько лет назад был создан ряд установок. На рис.3 приведена блок-схема автоматизированной системы контроля триггера стримерной камеры [21], а на рис.4 — блок-схема установки СФЕРА при проведении эксперимента по поиску образования кумулятивных мюонных пар с малой инвариантной массой [22].

2.2. Многопроцессорные системы централизованного типа. Во второй половине 70-х годов при проведении экспериментальных исследований из-за появления новых типов детекторов, усложнения и увеличения объема аппаратуры и необходимости регистрации больших потоков данных появилась настоятельная необходимость в организации ССД, в которых было бы несколько источников управления [23]. Использование таких систем позволило в значительной степени повысить качество экспериментов, осуществляя в реальном времени предварительную обработку данных и их запись в более компактном виде (сжатие данных), фильтрацию событий с целью улучшения отношения числа имеющих потенциальный интерес для физика событий к числу фоновых событий и увеличения скорости регистрации полезных событий; калибровку и контроль за работой регистрирующей аппаратуры, быструю обратную связь экспериментатора в случае аварий или неправильной работы оборудования. Предварительная обработка входных данных необходима для ускорения их дальнейшей обработки. При этом можно корректировать данные, вычитая pedestalы, учитывая коэффициенты усиления, калибровочные константы и преобразования координат, а

Рис.5. Блок-схема системного крейта САМАС



также осуществлять сжатие или перекомпоновку данных за счет подавления нулевой информации и вставки различных маркеров. Предобработка потребовала введения дополнительных процессоров, распределенных по ССД, и возникли все предпосылки к появлению методики многоуровневого отбора событий.

Все это определило необходимость в создании таких средств построения ССД, которые позволяли бы, во-первых, подключать к ЭВМ более одной стандартной ветви САМАС (7 крейтов), во-вторых, осуществлять достаточно простой переход с одного типа управляющей ЭВМ на другой и, в-третьих, обеспечивать введение в систему нескольких источников управления.

В нескольких лабораториях было разработано устройство, получившее название «системный крейт» САМАС. В ЛВЭ был разработан оригинальный системный крейт [24]. Актуальность этой работы подтвердило почти одновременное появление на мировом рынке модулей ядерной электроники двух типов СКК, выполненных в ведущих фирмах: GEC Elliott Automation Ltd [25] и Nuclear Enterprises Ltd [26]. Конструктивно все три разработки отличались друг от друга. В отличие от западных разработок системный крейт ЛВЭ не требовал использования дополнительной навесной магистрали и имел большую вместимость по количеству как источников управления (до 20), так и ветвей САМАС (до 10).

Системный крейт (см. рис.5) является многопроцессорной системой. Существует возможность управления его работой со стороны интерфейсов ЭВМ (ИНТ), одноплатных ЭВМ (ЦП) и автономных процессоров (АП) с фиксированным алгоритмом обработки принимаемой информации. Так как все элементы управления системного крейта сосредоточены на одном уровне, то система остается централизованной. Увеличение производительности такой системы достигается за счет:

- одновременного доступа к считываемым данным со стороны как процессорного элемента, управляющего процессом считывания, так и одного или нескольких процессорных устройств, работающих в режиме перехвата передаваемых по магистрали данных между управляющим и исполнительными устройствами;

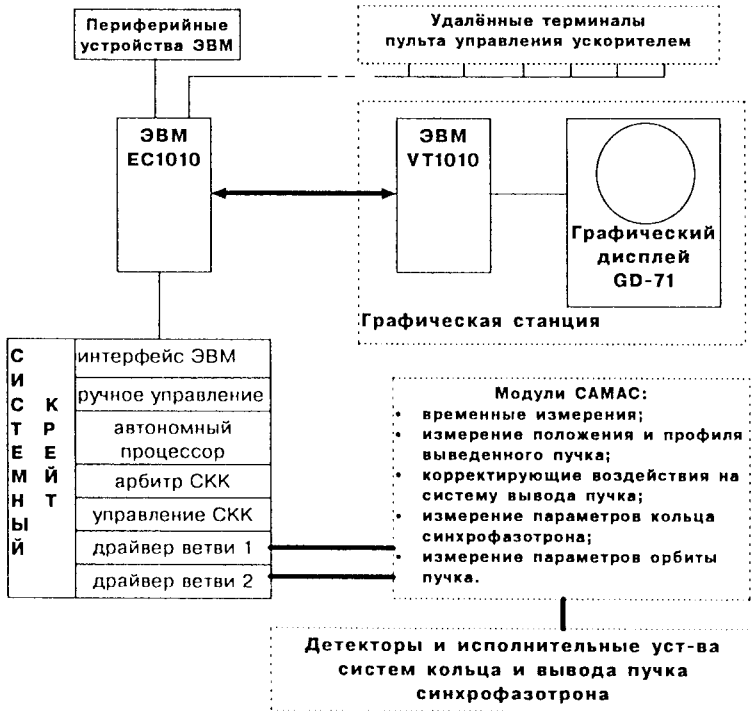


Рис.6. Роль системного крейта в организации контроля за параметрами системы медленного вывода пучка из синхрофазотрона

- режима конвейерной работы нескольких элементов управления, когда фаза чтения слова данных из цикла обращения к аппаратуре регистрации одного из устройств совпадает по времени с фазой подготовки соответствующего цикла обращения другого устройства;
- одновременного выполнения нескольких задач эксперимента набором процессоров.

На основе системного крейта ЛВЭ были созданы:

- система автоматизации измерения и контроля параметров на синхрофазотроне [27] (см. рис.6);
- системы сбора данных для экспериментальных установок Лаборатории (см. рис.7): БИС-2 [28], «Альфа» [29], «Кристалл» [30], СЯО [31], ДИСК-2 [32];
- система автоматизации бустерного синхротрона в ИФВЭ (Протвино) [33].

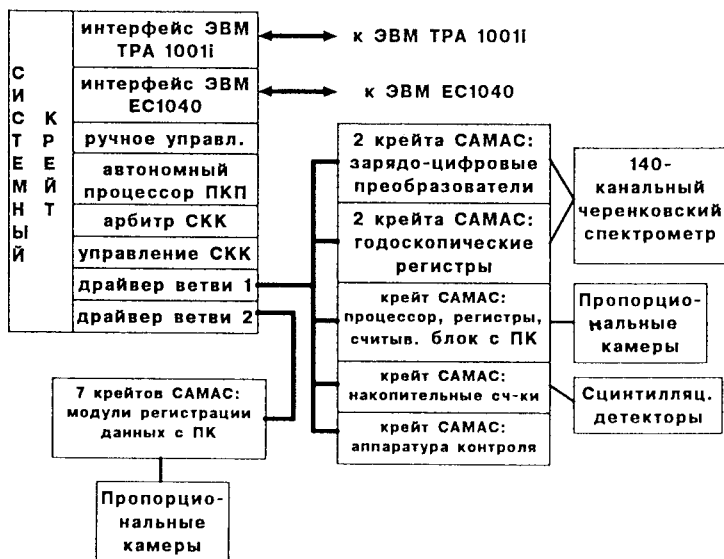


Рис.7. Организация ССД установки БИС-2 на основе системного крейта

СКК обеспечил выполнение таких основных методических принципов построения систем автоматизации, как модульность, расширяемость и открытость. Это обстоятельство позволило легко модернизировать ССД, построенные на основе СКК ЛВЭ.

Несмотря на все усовершенствования, САМАС ограничивал дальнейшее развитие ССД. Размер платы во многих случаях был недостаточно большим, источник питания и механические конструкции были слишком дороги. Изначально стандарт был рассчитан и наиболее оптимально приспособлен для создания систем с одним источником управления, обеспечивая, по сути дела, расширение системы ввода-вывода ЭВМ. Даже концепция системного крейта имела ограничения из-за малого адресного пространства и низкой пропускной способности (от 0,5 до 2 Мбайт/с в передачах блоков данных).

2.3. Многопроцессорные системы с распределенными вычислительными ресурсами. Появление микропроцессоров и стандартов FASTBUS и VME, определяющих построение многопроцессорных 32-разрядных магистрально-модульных систем, решило проблему организации высокоскоростных коммуникаций (до 80 Мбайт/с), вместимости (до 4 Гбайт адресов), а также организации связей между процессорами, и привело к разработке

архитектурной концепции многопроцессорной ССД [34] с распределенными вычислительными ресурсами. Для построения ССД использовалась аппаратура в стандартах CAMAC, VME, FASTBUS. Большинство ССД в физике высоких энергий стало выполняться в виде древовидной структуры, содержащей большое количество процессоров на всех ее уровнях. Информация о событии в такой системе состоит из наборов данных, каждый из которых описывает процесс, зарегистрированный отдельным детектором или одной из групп детекторов установки. Информация о событии распространяется по каналам ССД в одном и том же определенном направлении и подвергается на своем пути различным операциям: фильтрации, форматированию, сжатию, контролю, выбору пути передвижения и т.д. Эти операции выполняются с помощью набора процессоров, распределенных по древовидной структуре ССД. Процессоры самых разнообразных типов работают под управлением различных ОС и объединены в систему с помощью набора таких стандартных магистралей, как CAMAC, VME, FASTBUS и т.п. Для достижения максимальной эффективности процессоры и запоминающие устройства распределены по системе таким образом, чтобы отдельные ветви и уровни системы могли работать параллельно. В этой системе отношения между отдельными модулями строятся на основе «ведущий — ведомый».

Дальнейшее развитие технологии магистрально-модульных систем и микропроцессоров предполагает создание ССД, в которых модули объединены в сеть и отношения между ними строятся на основе «клиент — сервер» [35]. Такие системы характеризуются высокоорганизованной параллельной работой многих процессоров.

3. СРЕДСТВА ПОСТРОЕНИЯ ССД

3.1. Магистрально-модульные системы. Архитектура ССД во многом определяется магистрально-модульными системами. Стандарты магистрально-модульных систем [36] были разработаны для организации эффективной поддержки межпроцессорных взаимодействий. Единая магистраль объединяет модули процессоров, модули запоминающих устройств и модули периферии, обеспечивает арбитраж запросов модулей управления, обращение к адресному пространству, задаваемому 32-разрядным кодом адреса, обмен 32-разрядными данными, возможность работы по сигналам прерывания. Использование аппаратуры в этих стандартах для построения ССД решает проблему объединения (вместимости) в рамках одного комплекса всей регистрирующей электроники, а также организации коммуникаций и связей между процессорами и другими элементами системы.

Большинство магистрально-модульных систем основано на использовании стандарта ЕВРОМЕХАНИКА, который определяет принципы по-

Рис.8. Топология систем в стандарте FASTBUS

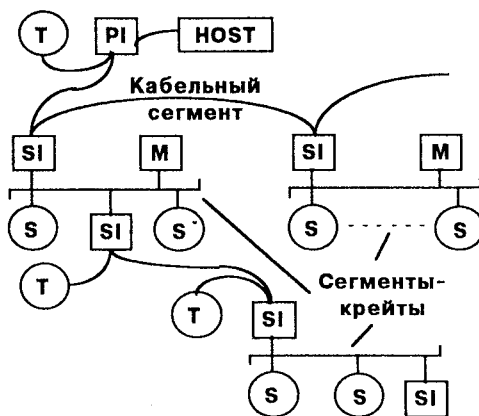
строения несущих механических конструкций, так называемая 19-дюймовая компоновка (482,6 мм). Базовым размером модуля является 100×100 мм, который может быть увеличен в глубину с шагом 60 мм и в высоту с шагом 133,35 мм.

Вплоть до настоящего времени для организации ССД широко используются стандарты FASTBUS, VME и ряд дополняющих и расширяющих возможности VME стандартов. Кроме того, разработан ряд новых стандартов высокоскоростных магистрально-модульных систем (FUTUREBUS+, SCI, Fiber Channel, HIPPI, ATM) для организации высокопроизводительных ССД, а также для передачи и коммутации больших объемов данных. Из них FUTUREBUS+ и SCI находятся в стадии обсуждения и создания макетных систем, а Fiber Channel, HIPPI и ATM уже применяются на практике.

Стандарт FASTBUS ориентирован на создание больших многопроцессорных многоадресных ССД [37]. Основным элементом стандарта является сегмент — автономная магистраль объединения множества модулей управления M и исполнения S (см. рис.8). Существуют сегмент крейта и кабельный сегмент. Для межсегментной связи используется модуль SI. Для передачи данных и адресов используются 32 мультиплексированные линии магистрали.

Магистраль FASTBUS обеспечивает передачу данных в режиме одиночных передач со скоростью до 35 Мбайт/с, а в режиме передачи блока данных — со скоростью до 70 Мбайт/с. Стандарт FASTBUS из-за больших механических размеров печатной платы ($366,7 \times 400$ мм), малошумящего и очень мощного (до 1950 Вт) источника питания, а также широкого набора напряжений, в основном используется для создания прецизионных многоканальных аналоговых модулей регистрирующей электроники, например, 96-канальный АЦП, 64-канальный ВЦП и т.п. Вместе с тем существует ряд высокопроизводительных одноплатных процессорных модулей в стандарте FASTBUS для организации считывания данных и скоростной предобработки данных [38].

Стандарт VME [39] предполагает создание высокопроизводительных многопроцессорных вычислительных систем модульного типа на основе



унифицированной магистрали. Обмен данными ведется по 32-разрядной шине. Для адресации также используется 32-разрядный код, что обеспечивает доступ к 4 Гбайт памяти. Линии данных и адреса разделены. На шине VME используется асинхронный протокол передачи данных, что означает отсутствие центрального координатора передачи данных. Скорость обмена данными определяется наиболее медленным модулем, участвующим в передаче. В стандарте VME рассматриваются модули управления, примерами которых являются процессорные и периферийные модули с возможностями работы по каналу прямого доступа в память, и исполнительные модули, такие как модули памяти и ввода/вывода.

Многочисленные примеры использования стандарта VME для построения ССД основаны на использовании крейта VME в качестве центрального элемента системы. Магистраль крейта предназначена для объединения и обеспечения одновременной работы нескольких процессорных устройств. Введение хотя бы одного процессорного элемента в каждом из кластеров электронной аппаратуры, относящегося к отдельному детектору, позволяет регистрировать информацию одновременно по нескольким параллельным ветвям. Одному из процессоров отводится роль центрального. Он синхронизирует работу всех элементов системы по сбору данных о событии и составляет полное событие на основе информации из отдельных подсистем. В такую систему могут входить процессоры для проведения экспресс-анализа данных непосредственно в ходе эксперимента, а также для графического представления принятой информации, что обеспечивает оперативный контроль за ходом эксперимента [40].

Рассмотрим в качестве примера построение ССД для одного из этапов создания установки СФЕРА в ЛВЭ ОИЯИ [41,42]. Необходимость организации сбора информации одновременно по нескольким параллельным ветвям, проведения экспресс-анализа в реальном масштабе времени, а также объединения электронной аппаратуры, выполненной в стандартах САМАС, VME и FASTBUS, определило новый подход к способу организации ССД. Основой построения ССД является центральный крейт VME (см. рис.9), который содержит: системный контроллер крейта VME (СК); драйвер ветви САМАС (ДВ), управляемый одноплатной ЭВМ со встроенным микропроцессором MC68020 (ОЭВМ); интерфейс (ИНТ1) с микроЭВМ, которая была основной на первых этапах создания установки; буферное запоминающее устройство; интерфейс (ИНТ2) с ПЭВМ типа IBM AT486, которая управляет работой системы, представляет принимаемую информацию в графическом виде и отправляет ее в архив на хранение.

Примером организации ССД на основе крейта VME в ЦЕРН является система VALET-Plus. Она состоит из двух процессорных подсистем [43]. С одной стороны, система связана с оборудованием физической установки, с другой — с персональной ЭВМ, являющейся локальным сервером

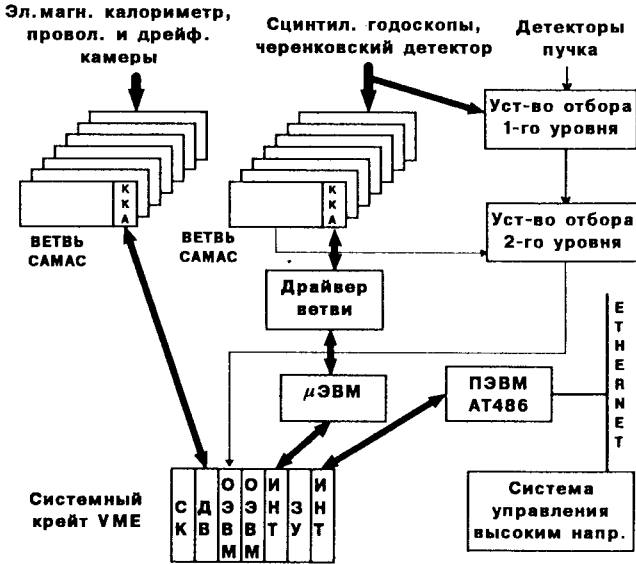


Рис.9. Использование системного крейта VME для организации ССД установки СФЕРА

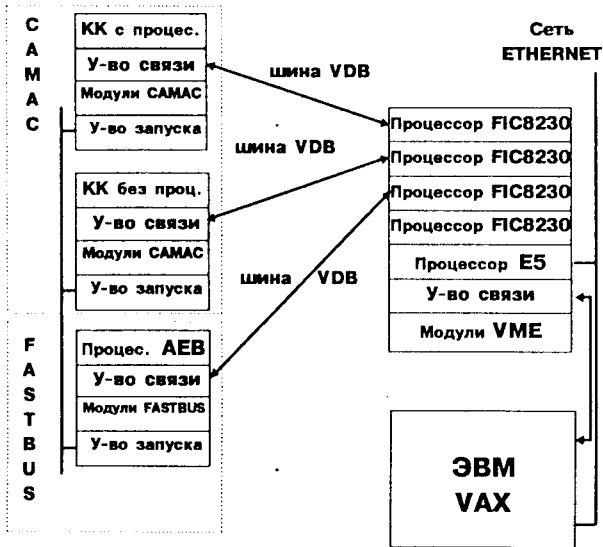


Рис.10. Блок-схема ССД, объединяющей электронную аппаратуру различных стандартов на основе VDB

периферии и обеспечивающей связь с экспериментатором. В кейт VME устанавливаются промышленно выпускаемые модули процессора, ЗУ, РПЗУ, драйвера ветви САМАС, графического контроллера, а также интерфейсов с магистралью FASTBUS, сетью ETHERNET, приборным каналом GPIB и магистралью периферии — SCSI.

К настоящему времени проведено усовершенствование стандарта VME [44]. Оно направлено на использование для адресации и передачи данных 64-разрядных кодов одновременно по линиям адреса и данных. При этом новые модули могут работать на одной магистрали кейта VME вместе со старыми.

Стандарты, дополняющие VME. Стандарт VSB предназначен для организации локальных подсистем в рамках одной магистрали кейта VME. Стандарт VSB обеспечивает процессорному модулю доступ к ресурсам памяти и ввода/вывода по отдельной локальной 32-разрядной магистрали, не связанной с основной магистралью, что в значительной степени увеличивает пропускную способность межпроцессорных коммуникаций. Существует специализированный адаптер магистрали VSB, который обеспечивает передачу сигналов VSB в виде дифференциальных сигналов. Эта магистраль получила название VDB. По ней возможна передача 32-разрядных данных со скоростью 2 Мбайт/с на расстояние до 5 м и со скоростью 1,2 Мбайт/с на расстояние 50 м. В качестве модуля управления магистралью VDB может быть выбран любой одноплатный процессор в стандарте VME, имеющий выход на VSB [45] (см. рис.10).

Стандарт VIC предназначен для организации многокейтных VME систем [46,47]. Сигналы распространяются по навесной кабельной магистрали, состоящей из двух кабелей. Длина магистрали может достигать до 100 м. Стандарт обеспечивает эффективный арбитраж нескольких модулей управления, синхронный и асинхронный протоколы передачи данных, одновременный доступ ко многим устройствам, простой механизм генерации и обработки сигналов прерывания, высокую отказоустойчивость.

Стандарт VXI. Стандарт VXI является расширением стандарта VME [48] и предназначен для построения контрольно-измерительной аппаратуры. Он объединяет преимущества высокопроизводительной магистрали VME со специальными средствами, необходимыми для построения высокоточной помехоустойчивой измерительной аппаратуры: источник питания (± 24 , ± 12 , $+5$, -5 , 2 и -2 В), средства экранирования, специальные линии для передачи и суммирования аналоговых сигналов. Размер платы может быть $366,7 \times 340$ мм, что значительно превышает размеры платы VME. Стандарт позволяет создавать модули регистрирующей электроники для ядерно-физических применений, сравнимые по своим характеристикам с

модулем, выполненным в стандартах NIM и CAMAC (высокое разрешение — более 14 разрядов, интегральная и дифференциальная нелинейность лучше 0,1%).

Высокоскоростные магистрально-модульные системы. Открытый стандарт **FUTUREBUS+** определяет правила построения наращиваемой магистрально-модульной системы, предназначенной для передачи данных, шириной 32/64/128 или 256 разрядов [49]. Создание **FUTUREBUS+** предполагает значительное увеличение производительности и существенное расширение функциональных возможностей мультипроцессорных систем. Стандарт обеспечивает: полную независимость от типа архитектурного построения системы и типа используемых процессоров; использование основного асинхронного протокола передачи данных (до 900 Мбайт/с) и дополнительного протокола с синхронизацией от источника, который позволяет достичь максимально возможной скорости передачи данных (до 2 Гбайт/с) и осуществлять текущий контроль за каждым блоком передаваемых данных. Использование полностью распределенных протоколов арбитража и параллельных операций уменьшает число механизмов возможного возникновения ошибок. Вводится защита по четности и организация контроля с обратной связью везде, где это возможно. Например, модули, используя магистраль, смогут осуществлять запись данных в свои собственные регистры для реализации функций самоконтроля. Использование многоуровневых механизмов блокировки модулей предотвращает зависание и блокирование системы. На рис.11 приведен пример организации системы на основе нескольких магистралей **FUTUREBUS+** [49]. Для достижения максимальной производительности процессоры, специализированный процессор, процессоры связи (ввода/вывода), буферный процессор графического монитора и мосты связи выходят на магистраль только через индивидуальные кэш-ЗУ или специальные интерфейсы для передачи сообщений.

Стандарт **SCI** определяет построение наращиваемой многопроцессорной системы с числом узлов до 64 тысяч за счет организации простейшего соединения узел — узел. Скорость передачи данных между узлами доходит до 1000 Мбайт/с. В настоящее время существует работающий макет, обеспечивающий скорость 500 Мбайт/с [50]. Максимальная скорость передачи достигается при передаче 16-разрядного кода данных на короткие расстояния, не превышающие нескольких метров. Использование оптического кабеля обеспечивает поразрядную передачу кодов на расстояния до 2 км, а коаксиального электрического кабеля — на расстояния до нескольких десятков метров со скоростью 125 Мбайт/с. Узлом может быть процессор, ЗУ, устройство ввода/вывода и мостовой модуль, обеспечивающий переход с

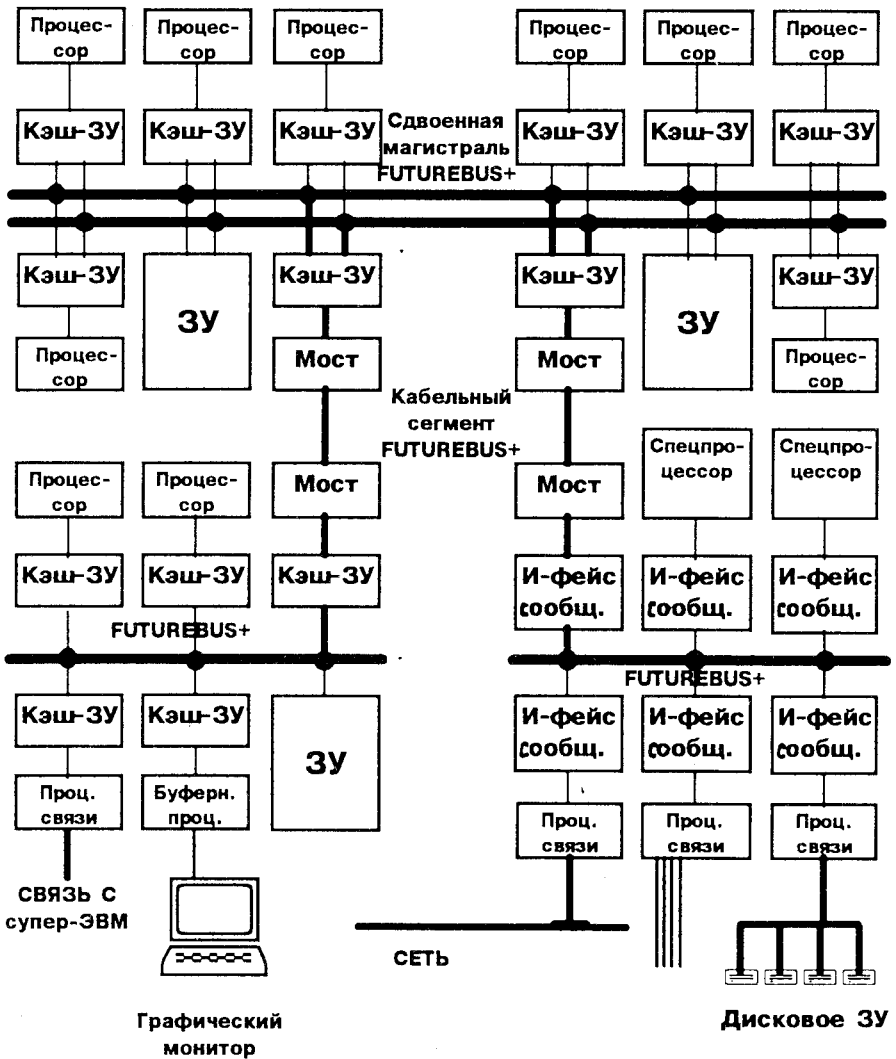


Рис.11. Пример построения многопроцессорной системы с использованием нескольких магистралей FUTUREBUS+

одной магистральной на другую. Стандарт поддерживает согласованную (когерентную) работу кэш-ЗУ, распределенных по системе. На рис.12 приведен пример организации вместимой системы, которая объединяет несколько подсистем, выполненных в разных стандартах [51]. На рис.13 показаны

основные элементы современной ССД, создание которых может быть основано на использовании SCI [50] как быстродействующего средства связи.

- Организация доступа к многочисленным буферам данных (DPM — двухвходовые ЗУ), в которые информация после соответствующей фильтрации поступает из модулей регистрирующей электроники.
- Организация высокоскоростной передачи информации на значительные расстояния по линиям оптической связи между модулями электроники, расположенными непосредственно на детекторах, и аппаратуры управления экспериментом.
- Организация $n \times m$ переключений n фрагментов события к m процессорам сборки события.
- Организация интерфейса с процессорной фермой, выполняющей функции отбора событий 3-го уровня.
- Связь с рабочими станциями, устройствами долговременного хранения экспериментальной информации.

Стандарт **HIPPI** (High Performance Parallel Interface) определяет эффективный протокол односторонней передачи данных со скоростью до 100 или 200 Мбайт/с для связи типа объект — объект [52,53]. Один кабель из 50 скрученных пар необходим для достижения скорости 100 Мбайт/с, а два кабеля — для скорости 200 Мбайт/с на расстояние до 25 м. Использование оптического кабеля позволяет осуществлять более дальние передачи (до 10 км) поразрядно передаваемых данных со скоростью 1200 Мбод. Для передачи данных в двух направлениях используются два канала HIPPI. Стандарт HIPPI является идеальным средством связи при построении современной ССД, в которой требуется передавать потоки данных до десятков мегабайт в секунду. Одним из примеров решения этой проблемы служит установка NA48 (ЦЕРН) [54] (см. рис.14). Установка регистрирует до 100 Мбайт данных за один сброс (2,5 с) каждые 15 с. Эти данные передаются для анализа ферме процессоров отбора событий 3-го уровня (рабочие станции). Аппаратура, выполненная в стандарте HIPPI, решает в установке одну из основных проб-

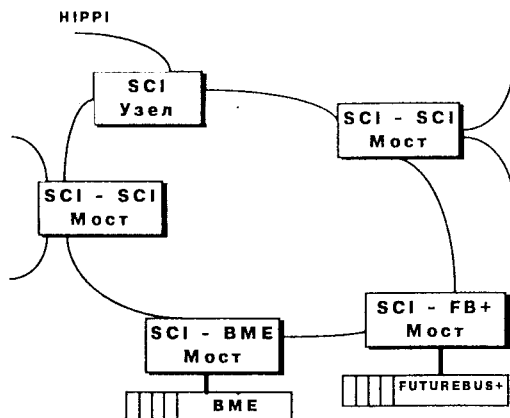


Рис.12. Объединение электронной аппаратуры различных стандартов на основе SCI

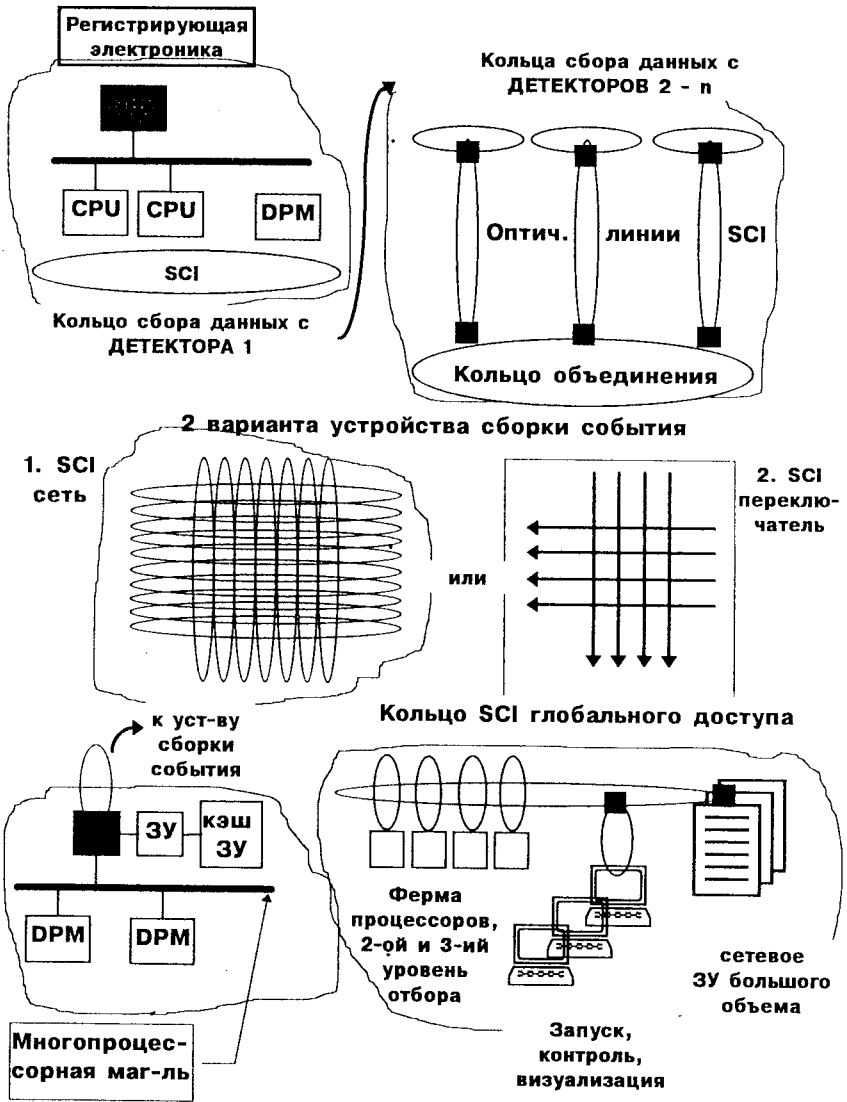


Рис.13. Пример использования магистрали SCI для построения ССД

лем — высокоскоростную передачу и распределение большого объема экспериментальных данных среди процессоров фермы реконструкции событий.

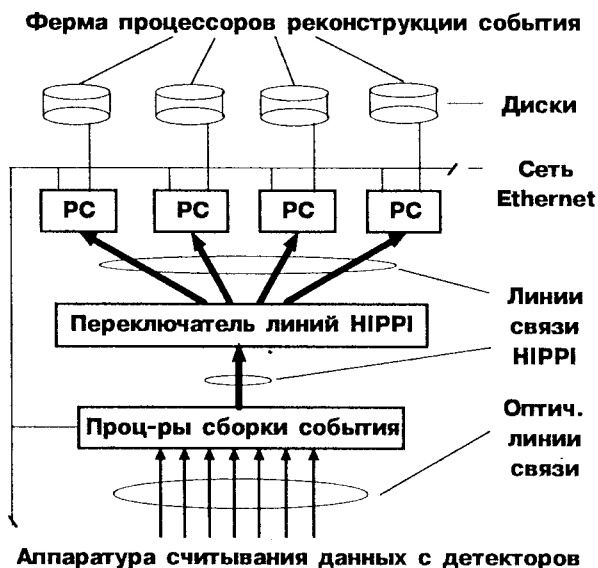


Рис.14. Пример использования стандарта HIPPI в установке NA48

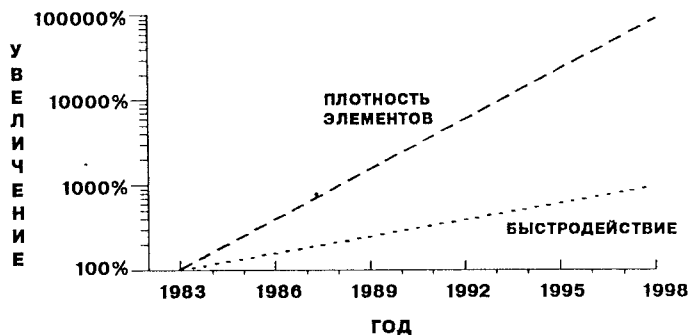


Рис.15. Увеличение быстродействия и плотности размещения полупроводниковых элементов

Стандарт **Fiber Channel** (FC) первоначально разрабатывался для организации высокопроизводительной связи с переключениями и двухсторонней передачей данных, что способствовало проведению высокоскоростных обменов большими блоками данных между процессорами и

периферийными устройствами. Позднее границы стандарта были расширены с целью его использования в качестве средства для переключения пакетов данных в сети. FC определяет передачу данных со скоростями от 132,812 Мбод до 1,0625 Гбод по последовательной линии связи [55]. Средством передачи сигналов может служить одиночная оптическая линия, несколько оптических линий, скрученная пара проводов, коаксиальный кабель.

Стандарт АТМ определяет механизм переключения потоков данных [56]. Он обеспечивает передачу данных со скоростями от 100 до 622 Мбит/с. Этот стандарт наиболее применим для создания сетей [57].

3.2. Процессорные элементы в ССД. Постоянное и существенное воздействие на развитие архитектуры средств вычислительной техники (компьютеры, рабочие станции, одноплатные процессоры магистрально-модульных систем) оказывает увеличение быстродействия и плотности упаковки средств микроэлектроники. На рис.15 показана тенденция увеличения быстродействия и плотности размещения полупроводниковых элементов [58]. Наиболее существенное влияние на архитектуру ССД оказало появление микропроцессоров.

Микропроцессоры. В настоящее время существует большое разнообразие микропроцессоров. Рассмотрим те из них, которые наиболее часто используются в электронной аппаратуре экспериментальных установок физики высоких энергий и релятивистской ядерной физики. К наиболее простым и дешевым микропроцессорам относятся микроконтроллеры, к более сложным — выполненные по технологии RISC и CISC процессоры общего назначения, специализированные транспьютеры, и DSP-процессоры.

Микроконтроллер содержит все элементы, необходимые для построения полного компьютера. Он предназначен для встраивания в различные программируемые управляющие системы [59]. Микроконтроллер имеет расширенный набор последовательно выполняемых команд, работает со словами данных, имеющими длину 4, 8 или 16 разрядов. Как правило, он выполняет операции за несколько циклов процессора и только над переменными с фиксированной запятой. Обладает невысокой производительностью, малым энергопотреблением и низкой стоимостью.

Транспьютер является особой разновидностью микропроцессора и предназначен для построения вычислительных систем с параллельным выполнением операций [59]. Встроенные высокоскоростные 4 линии связи служат для организации межпроцессорных коммуникаций и обеспечивают достаточно простое построение высокоэффективных параллельных систем. Синхронизация операций ввода-вывода по линиям связи осуществляется автоматически. Операции выполняются в транспьютере последовательно, за несколько циклов процессора. Транспьютеры работают с 32-разрядными данными с фиксированной и с плавающей запятой. Одной из последних моде-

лей транспьютеров является T9000 фирмы INMOS. Он позволяет достичь пиковой производительности 200 млн. оп./с или 25 Мфлопс и обеспечивает передачу данных по одиночной линии связи со скоростью до 100 Мбит/с [60].

Микропроцессоры типа **RISC** ориентированы на построение высокопроизводительных ЭВМ и обеспечивают достижение максимальной производительности за счет выполнения ограниченного набора операций [61]. За цикл может выполняться от одной до нескольких операций над 32-, 64-разрядными данными. Большинство современных RISC-процессоров обеспечивает выполнение операций с плавающей запятой за один цикл. Процессор ориентирован на работу с быстродействующими регистрами, число которых может доходить до 32 и более, и с кэш-ЗУ. Все операции, кроме загрузки и извлечения данных из ОЗУ, выполняются над операндами, содержащимися в регистрах. Следует также отметить, что достижение наиболее высокой эффективности работы RISC-процессора обеспечивается лишь при использовании оптимизированных компиляторов.

DSP является специализированным микропроцессором, который предназначен для проведения оптимальной обработки сигналов [59]. DSP используют интенсивный конвейерный режим, а также аппаратное, а не микропрограммное управление. Они могут работать с несколькими независимыми ЗУ с большим адресным пространством. В их состав входят функциональные узлы, работающие параллельно. Конструкция ряда DSP в большинстве случаев оптимизирована для выполнения определенных алгоритмов (цифровой фильтр), специальных применений (модемная связь, звуковой анализатор/синтезатор). Предлагаемый фирмой «Texas Instruments» новый DSP типа TMS320C54x позволяет достичь производительности 100 млн. оп./с [62].

Микропроцессоры типа **CISC** насыщены сложнейшими техническими решениями и содержат большой набор команд высокой сложности [59]. Команды способны манипулировать с разрядами, байтами, словами и длинными словами как с фиксированной, так и с плавающей запятой. Интерфейс обеспечивает простое и в то же время эффективное обращение к магистрали для передачи данных различной ширины (8, 16, 32 разрядов). Архитектура процессора обеспечивает его работу для многозадачных и многопроцессорных режимов.

Встроенные контроллеры («Моторола» MC683XX, «Интел» 80960) характеризуются высокой степенью интеграции, высокой производительностью, малым энергопотреблением и предназначаются для встраивания в различные управляющие устройства, используемые в управлении процессами, робототехнике, приборостроении, авиации и т.п. [59]. Такое применение процессоров требует от них малого времени обработки сигналов прерывания. Микроконтроллеры работают с 32-разрядными данными с

фиксированной и с плавающей запятой. В конструкцию процессора могут входить схемы управления каналами прямого доступа к памяти, аналого-цифровой преобразователь, таймер и другие специфические узлы, необходимые для тех или иных применений встроенных процессоров.

Процессорные фермы. Одним из наиболее примечательных устройств для применений процессоров в составе ССД являются процессорные фермы. Это набор связанных между собой однотипных процессорных устройств, который предназначен для параллельного выполнения одних и тех же вычислений над множеством событий. Первоначально процессорные фермы предназначались только для проведения окончательного анализа уже архивированных данных. Затем они стали широко использоваться в составе ССД для окончательной фильтрации событий.

Первая процессорная ферма была создана на основе эмуляторов 3081/E [63]. Устройство 3081/E эмулирует набор команд ЭВМ серии IBM 370. По производительности эмулятор равноценен ЭВМ IBM 370/168, а его стоимость намного ниже. Гибкий высокоскоростной интерфейс позволяет образовывать процессорную ферму, состоящую из нескольких 3081/E (DELPHI, L3).

Широкое применение нашла процессорная ферма (CDF), созданная по проекту АСР [64]. Она состоит из набора одноплатных VME-процессоров (MC68020). Крейты VME объединены специализированной скоростной магистралью (20 Мбайт/с).

В установке ZEUS в качестве элементов процессорной фермы используются рабочие станции «Silicon Graphics». Тридцать таких станций распределены по 6 крейтам VME и связаны скоростной магистралью АСР.

4. АРХИТЕКТУРА СОВРЕМЕННЫХ ССД

В этом разделе рассмотрены примеры построения многопроцессорных ССД, работающих на ускорителях на встречных пучках (коллайдерах) LEP (ЦЕРН), HERA (Гамбург), тэватрон (FNAL, Батавия), а также создаваемых для проведения экспериментальных исследований на ускорителях-коллайдерах RHIC (Брукхевен) и LHC (ЦЕРН). Архитектура этих ССД отражает наиболее передовые направления и тенденции в развитии методики построения многопараметрических, многопроцессорных систем реального времени для проведения исследований в физике высоких энергий и релятивистской ядерной физике. В рассматриваемых далее установках содержится очень большое количество каналов регистрации и точек контроля, а также предъявляются предельные требования к техническим характеристикам электронной аппаратуры, к пропускной способности линий связи и производительности процессорных элементов.

Таблица 1

	LEP, ЦЕРН	SppS, ЦЕРН	HERA, Гамбург	Tevatron, Фермилаб	RHIC, Брукхевен	LHC, ЦЕРН
Пучки частиц	$e^+ - e^-$	$p - p^-$	$e^- - p$	$p - p^-$	от $p - p$ до Au-Au	$p - p$
Период пересечений	22 мкс	3,8 мкс	96 нс	3,5 мкс	112 нс	25 нс
Светимость, $\text{см}^{-2} \cdot \text{с}^{-1}$	$3 \cdot 10^{34}$	10^{31}	$2 \cdot 10^{31}$	10^{30}	$p - p$ $2 \cdot 10^{33}$ Au-Au $2 \cdot 10^{26}$	$1-5 \cdot 10^{34}$
Количество взаимодействий на пересечение	$\ll 1$	≈ 1	$\ll 1$	$\ll 1$	$p - p$ 0,2 Au-Au $\ll 1$	≈ 20
Процент отбираемых взаимодействий	100	0,1	100	100	100	0,001

В табл.1 приведены сравнительные характеристики ускорителей-коллайдеров, а также оценки числа взаимодействий на одно пересечение и доли отбираемых взаимодействий.

Информация о количестве каналов регистрации и частоте регистрации событий для рассматриваемых установок приведена на графике (см. рис. 16) [65,66].

4.1. Ускоритель LEP предназначен для ускорения электронов и позитронов до энергий 55 ГэВ на первом этапе его создания и до 95 ГэВ на втором этапе [67,68].

На ускорителе располагаются четыре экспериментальные установки широкого назначения: ALEPH, DELPHI, L3 и OPAL. С помощью каждой из них осуществляется регистрация продуктов взаимодействия в телесном угле 4π и проводится идентификация элементарных частиц. Каждая из установок содержит практически один и тот же набор устройств, необходимый и достаточный для построения детектирующей системы: магнит-соленоид, центральная трековая камера, электромагнитный и адронный калориметры, мюонный детектор, система мониторинга светимости.

Создание четырех экспериментальных установок LEP явилось началом нового этапа в развитии ССД. Каждая из них обладает многоуровневой системой отбора событий и содержит большое количество процессоров на всех ее уровнях. Многоуровневые системы запуска по событию уменьшают

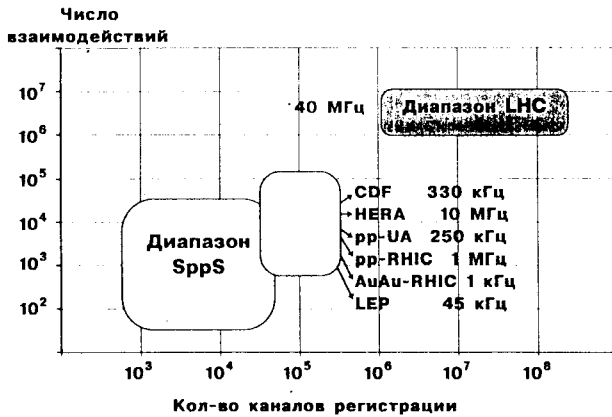


Рис.16. График соотношения количества каналов регистрации и частоты регистрации событий для современных экспериментальных установок

скорость набора событий до 1—2 в секунду при появлении сигналов запуска первого уровня с частотой ~45 кГц. Основная часть аппаратуры ССД была выполнена в стандартах CAMAC, FASTBUS и VME, что обеспечило решение проблемы вместимости, организации необходимых коммуникаций и распределение процессоров по уровням. Данные об использовании аппаратуры [69] в этих стандартах по всем четырём установкам приведены в табл.2.

DELPHI. В построении установки DELPHI и обеспечении ее работы активное участие принимают ученые ОИЯИ. Функции сбора данных и управления экспериментом распределены по 19 автономным подсистемам [70]. Это обеспечивает высокую степень независимости подсистем сбора

Таблица 2

Магистраль	Количество ИС в модуле	Количество модулей в крейте	Полное количество используемых модулей в крейте	Стоимость ИС (долл. США)
CAMAC	80	25	12000	8,28
VME	100	21	12600	6,62
FASTBUS	300	26	23400	4,14

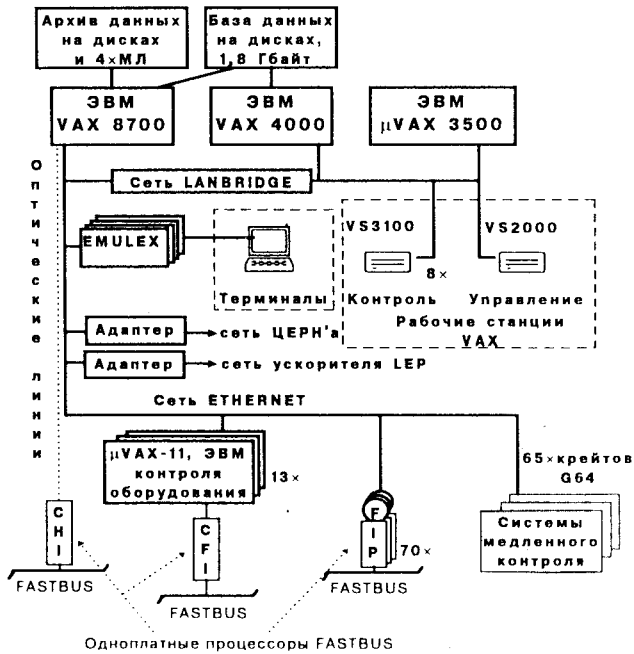


Рис.17. Комплекс вычислительных элементов в ССД экспериментальной установки DELPHI

данных по каждому из 16 детекторов установки. В качестве отдельных подсистем рассматриваются устройства запуска и глобального сбора данных. Функции управления и контроля в ССД выполняют 20 ЭВМ типа VAX. При разработке ССД были предприняты специальные усилия, направленные на ограничение разнообразия типов используемых электронных устройств. Регистрирующая электроника выполнена в стандарте FASTBUS. Выделены подсистемы организации медленного контроля за технологическими параметрами детектора (газ, напряжение, давление, температура и т.п.).

На рис.17 показан комплекс оборудования, входящий в состав ССД DELPHI, которая имеет древовидную многоуровневую структуру. Каждая подсистема в автономном режиме осуществляет полный и независимый сбор данных, калибровку детекторов и контроль оборудования без дополнительного взаимодействия с другими подсистемами. В ходе сбора данных по каждому из детекторов проводится контроль за качеством принимаемой информации. Подсистемами управляют 13 ЭВМ типа микро-VAX-11, которые связаны с аппаратурой FASTBUS через одноплатные процессоры CFI.

Основными элементами, которые обеспечивают сбор данных в системе, являются 70 одноплатных процессоров в стандарте FASTBUS (FIP). Из них 52 процессора выполняют функции процессора крейта (CP), 11 — функции процессора сборки фрагмента события (LES), 6 — функции процессора крейта и сборки фрагмента события одновременно, и один — функцию процессора сборки полного события (GES).

Каждый уровень ССД образует элементарную ячейку [71]. Все ячейки одинаковы по структуре. Каждая содержит два набора буферов (входные и выходные), а также элементы, регулирующие процессы передачи и управления. Основной задачей ячейки является передача данных из входного буфера в выходной. Запуск ячейки осуществляет вышестоящая ячейка, а она, в свою очередь, запускает следующую ячейку. В каждой ячейке может проводиться преобразование и обработка данных. ССД DELPHI содержит в каждой из ветвей в основном по 6 уровней ячеек. В ячейке регистрации данные с детекторов преобразуются в цифровой код. Выходной буфер (FEB) рассчитан на прием четырех событий. Заполнение FEB осуществляется по реальным сигналам запуска от события (см. рис.18). В ячейке крейта FASTBUS процессор CP передает данные из FEB в свой буфер СЕВ. Ячейка подсистемы состоит из набора крейтов и обслуживает детектор или часть детектора, например, камера ТРС обслуживается двумя подсистемами. Процессор LES передает данные из буферов СЕВ в буфер фрагментов события (МЕВ) и в буфер SEB (см. рис.18). Оба буфера рассчитаны на размещение 256 событий. SEB необходим при организации автономной работы с отдельным детектором. Во время полного сбора данных он используется для организации контроля за работой детектора. В центральной подсистеме в процессе передачи данных из буферов МЕВ в буфер полного события (ГЕВ) участвуют два процессора. Собственно передачу данных выполняет быстрый управляющий модуль FASTBUS (ВМ). Процессор GES управляет передачей данных и осуществляет сборку полного события (см. рис.18). Полное событие передается из ГЕВ в ПФ, состоящую из эмуляторов 3081/E [63] для проведения первичной обработки данных (см. рис.18). Для организации хранения данные поступают в главный компьютер VAX.

Рабочие станции VS3100 обеспечивают интерактивное взаимодействие экспериментаторов с системой и графическое представление событий и гистограмм по группам детекторов. Рабочие станции VS2000 используются в качестве сервера для встроенных процессоров, сервера базы данных, документирующих процессоров и т.п.

Блок-схема ССД установки **ALEPH** [72] приведена на рис.19. Для построения этой ССД также используется аппаратура в стандарте FASTBUS. Самым крупным детектором установки является большая времяпроекционная камера (ТРС), данные с которой поступают по почти 50 тыс.

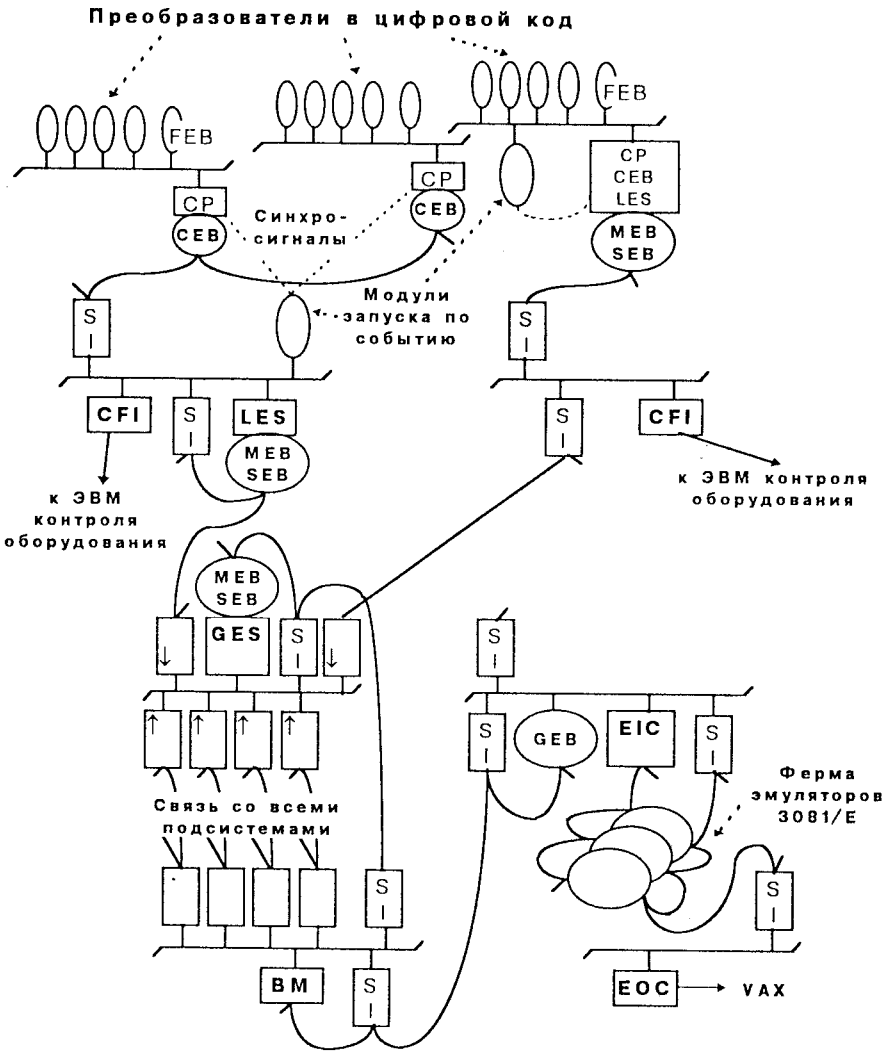


Рис.18. Блок-схема двух подсистем считывания данных (в первой функции CP и LES разделены между двумя процессорами FIP, а во второй возложены на один FIP) и центральной подсистемы считывания данных в ССД установки DELPHI

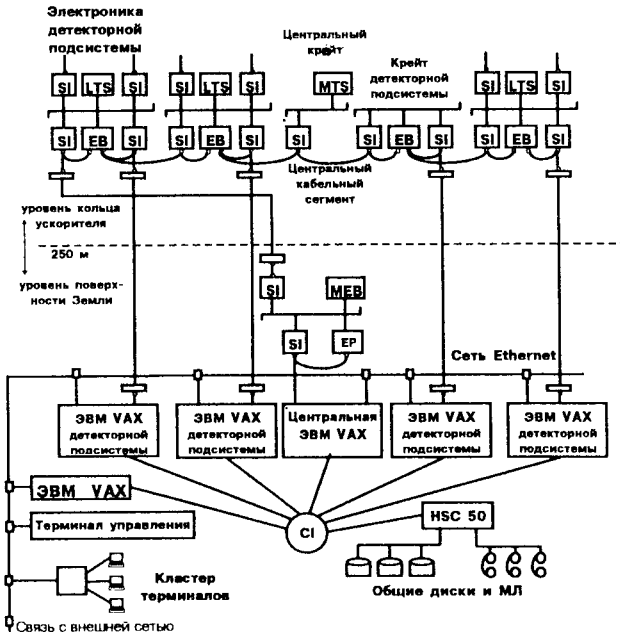


Рис.19. Блок-схема ССД экспериментальной установки ALEPH

каналам регистрации. Система регистрации данных с TPC занимает 110 крейтов FASTBUS. В состав всей ССД входит около 250 крейтов FASTBUS.

Каждому детектору соответствует своя подсистема сбора данных, управляющим звеном которой является крейт FASTBUS, содержащий модуль сбора фрагментов события (ЕВ) и локальный модуль синхронизации (LTS). По сигналам синхронизации модуль ЕВ считывает информацию из детектора и передает ее в ЗУ, предназначенное для хранения нескольких фрагментов события. С каждой подсистемой связана ЭВМ типа VAX, которая на основании полученной информации контролирует работу подсистемы. Сборку полного события проводит модуль МЕВ под управлением главного модуля синхронизации МТS. Анализ полного события в реальном масштабе времени ведет специальный процессор ЕР.

ЛЗ является самой крупной из четырех установок. В ССД организованы четыре параллельных потока данных, поступающих с основных детекторов, а также отдельный поток данных для выработки сигналов запуска трехуров-

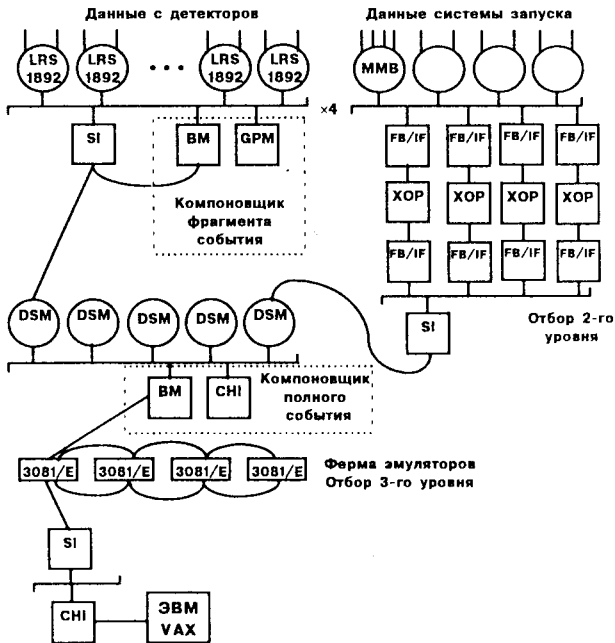


Рис. 20. Блок-схема ССД экспериментальной установки L3

новой системы отбора событий [73]. ССД почти полностью основана на электронной аппаратуре, выполненной в стандарте FASTBUS. На рис. 20 показана блок-схема ССД установки L3. Данные из регистрирующей электроники детектора поступают в модули ЗУ типа LeCroy 1892 со скоростью 16 Мбайт/с. Далее данные о фрагменте события по каждому детектору собираются в двухвходовом ЗУ (DSM). Использование специального модуля (BM) для передачи массивов данных обеспечивает очень высокую скорость передвижения данных между ЗУ. Процессор GPM, построенный на основе микропроцессора MC68000, управляет работой BM и форматирует передаваемые данные. BM и GPM осуществляют сборку фрагмента события по каждому детектору, а BM и CHI, построенный на основе микропроцессора MC68030, — сборку полного события. Отбор событий на втором уровне проводят процессоры XOP, специально сконструированные для проведения высокоскоростных вычислений на втором уровне отбора [74]. Для поддержания высокой скорости обмена (по входу 40 Мбайт/с, а по выходу 20 Мбайт/с) обмен сигналами с внешними устройствами ведется по стандарту LeCroy ECLine. Для третьего уровня отбора используется ПФ из эмуля-

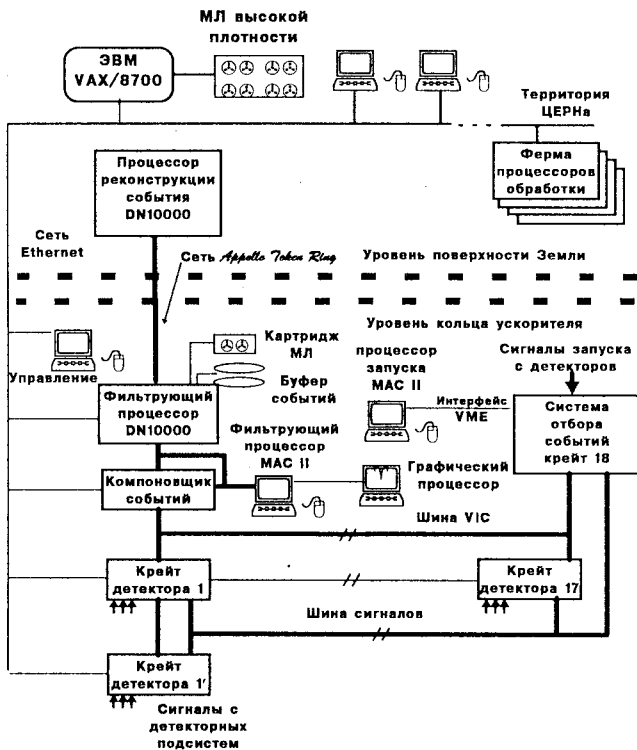


Рис.21. Блок-схема ССД экспериментальной установки OPAL

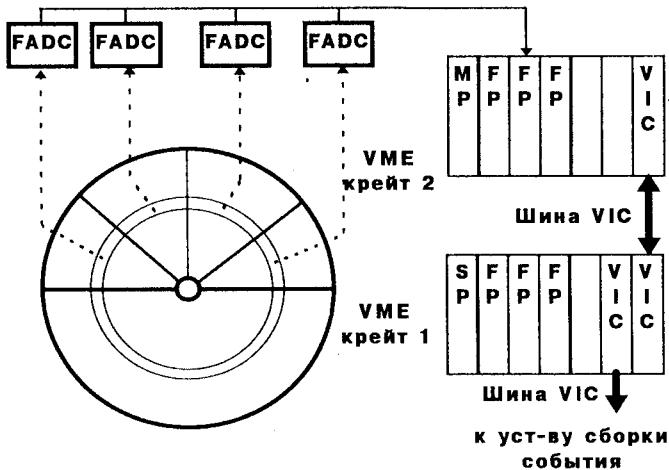


Рис.22. Подсистема считывания данных с дрейфовой камеры

торов 3081/Е. Для связи системы FASTBUS с управляющей ЭВМ служит процессор типа СМ1.

Всего в установке **OPAL** регистрируются 150000 аналоговых сигналов с 12 различных детекторов. В ССД существуют три уровня отбора событий [75]. Входной поток данных при номинальной светимости составляет 200 кбайт/с. Для регистрации информации с детекторов используются как стандартные (САМАС и FASTBUS), так и специализированные модули. Сканирующие контроллеры, выполненные в стандартах САМАС или VME, считывают информацию из аппаратуры регистрации, запоминают ее, осуществляют вычитание пьедесталов, определяют положение кластеров, подавляют ее незначачую часть и сжимают ее.

На рис.21 приведена блок-схема ССД экспериментальной установки **OPAL** [76]. С каждым из детекторов связана своя подсистема сбора данных. Центральным звеном каждой является локальный системный крейт в стандарте VME, содержащий стандартный одноплатный процессор (FIC 8230), модуль ЗУ емкостью 8 Мбайт (DPM 8241), интерфейс сети ETHERNET (FILTABYTE 25.1), модуль локального запуска и ряд специфических для обслуживаемого детектора модулей. Большинство детекторов имеют два локальных системных крейта, которые устанавливаются с противоположных сторон детектора и подразделяются на основной и дополнительный. Основной крейт связан с аппаратурой, осуществляющей сборку полного события.

Для ССД установки **OPAL** характерно широкое применение аппаратуры в стандартах VME, VSB и VIC. На рис.22 приведена подсистема считывания с дрейфовой камеры. Регистрация данных в подсистеме осуществляется быстрыми 96-канальными АЦП (FADC), размещаемыми в 80 крейтах. Считывание данных с АЦП, сжатие данных на основании анализа формы импульсов, а также восстановление треков ведут 22 процессора в двух крейтах VME: SP — управляющий процессор, MP — мониторирующий процессор и 20 процессоров регистрации (FP). Магистраль VIC объединяет крейты VME и создает в подсистеме единое адресное пространство. В качестве одноплатного процессора используется модуль фирмы «Моторола» MVME165.

На рис.23 показана блок-схема комплекса аппаратуры, необходимого для сборки полного события. 18 отдельных подсистем разбиты на четыре группы, внутри каждой из них подсистемы связаны магистралью VIC. Процессор SP управляет процессом сборки события и передачей его в процессор Apollo для отбора событий на третьем уровне. Процессоры CP для передвижения массивов данных в двухходовые ЗУ (DPM) емкостью 16 Мбайт используют каналы прямого доступа. Процессоры FP1 и FP2 обеспечивают сборку полного события на основе информации, полученной из подсистем.

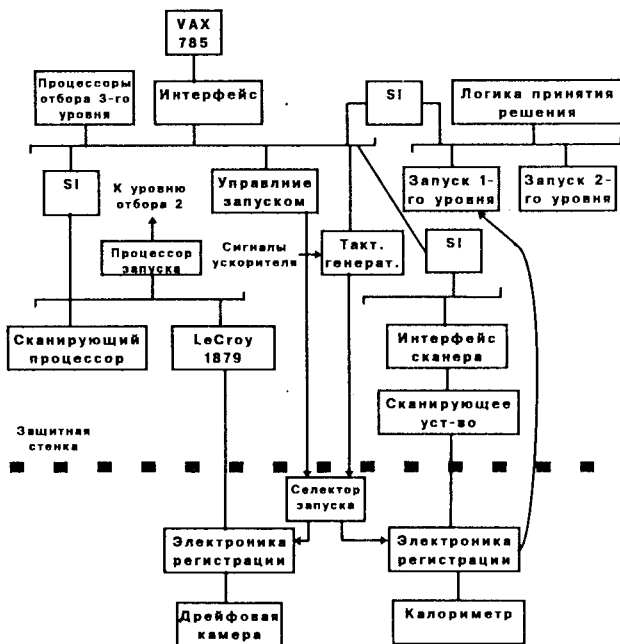


Рис.24. Упрощенная блок-схема ССД установки CDF

Установка D0 состоит из семи основных детекторных подсистем и имеет около 115 тыс. каналов регистрации. С регистрирующей электроники поступают события длиной 300 кбайт со скоростью от 200 до 400 Гц. Основу ССД установки составляет аппаратура, выполненная в стандарте VME (см. рис.25) [81]. Структура ССД достаточно проста. Аналоговые данные преобразуются в цифровой код в 89 крейтах VME, разделенных на семь групп по типам детекторов. Затем данные из каждой группы крейтов и из устройства отбора первого уровня передаются со скоростью 40 Мбайт/с по восьми 32-разрядным однонаправленным линиям в процессорную ферму, содержащую 50 ЭВМ типа микро-VAX для организации отбора (фильтрации) событий [82,83]. После этого события со скоростью 2 Гц передаются в архив на долговременное хранение. Использование однонаправленных линий упрощает организацию скоростного сбора данных, но требует введения дополнительных коммуникаций для передачи информации о пьедесталах и других параметрах. Эта обратная связь осуществляется по линиям системы контроля и управления за работой аппаратуры установки.

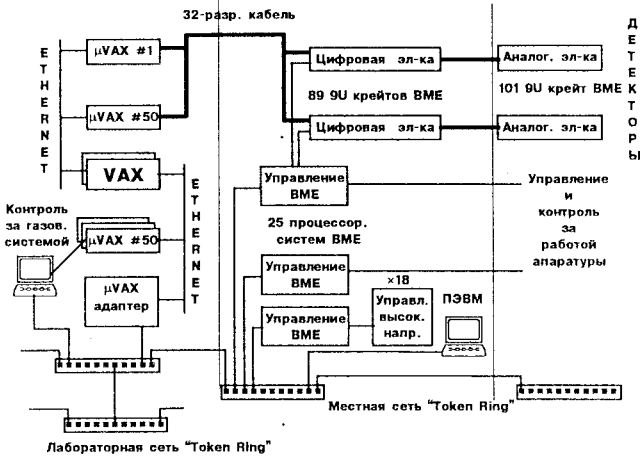


Рис.25. Архитектура ССД установки D0

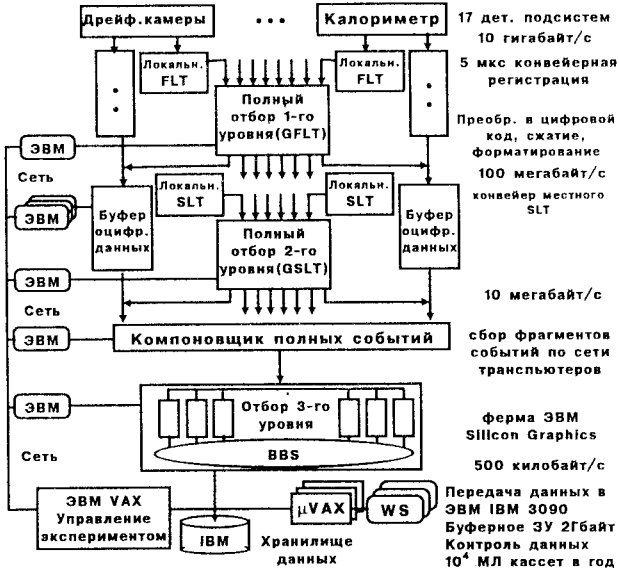


Рис.26. Блок-схема системы сбора данных экспериментальной установки ZEUS

4.3. Ускоритель HERA является ускорителем на встречных пучках протонов и электронов. Протоны ускоряются до энергии 820 ГэВ, а электроны — до 30 ГэВ.

На ускорителе построены две многоцелевые экспериментальные установки [84], обеспечивающие возможность регистрации продуктов *ep*-взаимодействия почти в полном телесном угле (4π): ZEUS и H1, а также завершается создание установки HERA-B [85], планируемой к запуску в 1998 г. В работах по созданию HERA-B также участвует ОИЯИ.

Детекторы установок способны генерировать до 3 Мбайт первичной информации на событие. Современные средства накопления данных способны принимать информацию со скоростью только несколько сотен килобайт в секунду, поэтому в процессе приема необходимо проводить сжатие, форматирование и фильтрацию данных до желаемых уровней размера события и скорости записи. Многоуровневая система отбора событий обеспечивает скорость набора данных после окончательной фильтрации на уровне 5 событий в секунду. В каждой установке используется специализированная конвейерная система запуска, обеспечивающая первичный отбор кандидатов на событие при уровне фона 10^4 .

Установка ZEUS состоит из большого числа разнообразных многоканальных детекторов и насчитывает 270000 каналов регистрации.

На рис.26 приведена блок-схема ССД установки [86]. В ней выделено 17 детекторных подсистем, каждая из которых имеет свою систему конвейерного считывания данных и отбора событий вплоть до устройства сборки полного события (EVB). Четыре уровня отбора позволяют уменьшить поток информации с 3 Тбайт/с до 0,5 Мбайт/с.

На первом уровне в устройствах локального (FLT) и полного (GFLT) отбора событий используются специализированные быстродействующие устройства, обеспечивающие преобразование в цифровой код, сжатие и упаковку данных [87].

На втором уровне в устройствах локального (SLT) и полного (GSLT) отбора анализ ведется на основе данных, преобразованных в цифровой код. Для принятия решения во многих SLT используются транспьютеры. Для связи SLT с GSLT применяются транспьютерные модули VME типа NIKHEF 2TP, что обеспечивает скорость передачи, равную 20 Мбайт/с.

В качестве устройства третьего уровня отбора (TLT) используется ферма UNIX рабочих станций типа Silicon Graphics, суммарная производительность которой равна 1000 млн. оп./с. Тридцать рабочих станций Silicon Graphics размещаются в шести крейтах VME, которые объединены быстродействующей магистралью (BBS), разработанной в лаборатории им. Ферми по проекту ACP [64]. Данные в TLT поступают с устройства сборки полного события (EVB), состоящего из программируемого 64×64 переключателя

многоуровневых линий (64 входа и 64 выхода) и транспьютерных VME модулей типа 2TP. Устройство EVB может содержать до 76 полных событий.

После третьего уровня отбора события записываются на магнитные ленты с очень высокой плотностью размещения информации. Часть событий поступают в кластер из 15 ЭВМ типа микро-VAX для текущего контроля и визуализации и могут быть доступны с рабочих станций экспериментаторов (WS). Этот кластер по сети Ethernet связан с 20 периферийными процессорами, которые в автономном режиме осуществляют локальный контроль и управление почти за каждым элементом системы, а также готовят и загружают во все процессоры необходимые программы и константы.

Контроль за работой источников высокого напряжения, газового оборудования, за температурой и другими, медленно изменяющимися во времени параметрами осуществляют одноплатные VME-процессоры. Таким образом, VME является основным стандартом, который был использован для построения ССД установки ZEUS.

Все процессорные элементы ССД объединены в локальную сеть, что позволяет говорить о появлении новой концепции построения ССД экспериментальной установки.

Установка H1. На рис.27 показана структурная схема ССД установки [88]. В установке H1 скорость поступления событий после первого уровня теоретически не должна превышать 10 кГц (во время экспозиции установки на пучке эта величина была на уровне 100 Гц), для того чтобы аппаратные процессоры второго уровня отбора имели время около 10 мкс для проведения необходимого анализа и выдачи разрешения на считывание данных с регистрирующей электроники [89].

Установка HERA-B. ССД установки характеризуется сложнейшей четырехуровневой системой отбора событий (коэффициент отбора 10^6) [85]. Каждое из устройств отбора на втором (L2), третьем (L3) и четвертом (L4) уровнях выполнено в виде процессорной фермы. Время решения в L1 (восстановление треков) составляет 10 мкс, в L2 (треки в магнитах, восстановление вершины) 10—50 мкс, в L3 (идентификация частиц) 100 мс и в L4 (полная реконструкция события) 4 с. Устройства L2 и L3 одинаковы по конструкции (каждое содержит до 10 процессорных элементов) и работают в реальном масштабе времени. Они должны быть присоединены к буферу данных по высокоскоростной сети (40 Мбайт/с). В качестве процессоров предполагается использовать ПЭВМ. Устройство L4 как бы отделено от основной части ССД и должно содержать до 200 процессоров, объединенных в сеть Fast-Ethernet. Рассматриваются варианты использования Power PC 604e/200 МГц или Pentium Pro/200 МГц в качестве процессорных элементов.

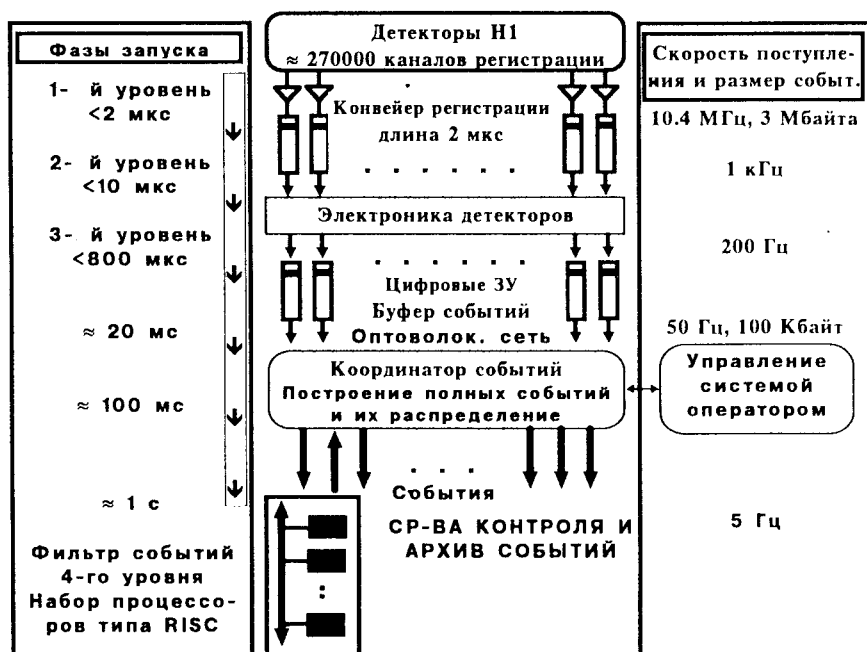


Рис.27. Структурная схема ССД экспериментальной установки N1

4.4. Ускоритель LHC находится в стадии создания. LHC — это большой ускорительно-накопительный комплекс на встречных протонных пучках, каждый с энергией 7,7 ТэВ. Он будет располагаться в тоннеле ускорителя LEP (ЦЕРН).

Для проведения экспериментальных исследований на LHC создаются три установки: ATLAS, CMS и ALICE. Светимость на LHC соответствует в среднем появлению до 20 неупругих событий на каждое пересечение пучков (один раз в 25 нс). Таким образом, изучаемые события, которые соответствуют редким физическим процессам, будут окружены фоном частиц от других малозначащих событий [90], что составляет 10^9 соб./с, или при 10^7 каналов регистрации — около 10^{15} байт/с.

К основным особенностям создания ССД для LHC следует отнести:

- 1) время решения системы отбора первого уровня превышает 25 нс (интервал времени между пересечениями пучков);
- 2) память ячейки детектора также больше 25 нс (максимальное время дрейфа в детекторах на промежутке 4 мм составляет 40 нс);

- 3) наложение событий и наложение сигналов с детекторов;
- 4) очень высокое число каналов регистрации.

ССД должна обеспечить прием данных, поступающих с очень высокими скоростями, отбор наиболее интересных событий с точки зрения изучаемых физических процессов и их накопление для последующего анализа. Система должна быть ориентирована на достижение максимальной производительности за счет организации конвейера регистрации на уровне электроники детекторов, передачи принятых данных по уровням иерархии, параллельной работы отдельных элементов системы.

На рис.28 приведена обобщенная для экспериментальных установок ЛНС блок-схема ССД [91]. Система отбора первого уровня должна обеспечить уменьшение входного потока событий с 40 МГц до 100 кГц. Отбор совершают специализированные аппаратные средства на основе быстрого анализа сигналов с отдельных детекторов.

Одной из сложнейших задач является сборка события из фрагментов, поступающих из разных детекторов. Скорость потока событий после первого уровня отбора составляет ≈ 100 кГц, и устройство сборки должно обладать пропускной способностью на уровне 100 Гбайт/с, распределенной по многим параллельным каналам. Предварительные оценки ресурсов вычислительной техники приводят к необходимости использования набора из 1000 процессоров, каждый производительностью от 10^3 до 10^4 млн. оп./с.

Имеется два подхода к решению проблемы фильтрации потока событий от 100 кГц до 100 Гц.

В эксперименте ATLAS [92] (см. рис.29) предполагается фильтровать события в два этапа, разбивая систему отбора на множество параллельных и по возможности конвейерных операций и распределяя обработку по нескольким наборам процессоров. Для отбора событий на втором уровне используются только фрагменты принимаемых данных RoI (Regions of Interest), выделенные на первом уровне. Они обрабатываются параллельно наборами независимых и использующих конвейерную методику процессоров. Затем полное событие посылается на третий уровень отбора для принятия окончательного решения.

В эксперименте CMS (см. рис.30) предполагается разделить процесс отбора и сборки события только на два этапа: виртуальный отбор второго уровня и отбор третьего уровня. Отбор второго уровня выполняется той же фермой процессоров, которая анализирует полное событие. Решение об отборе второго уровня основано на анализе части данных. Если событие удовлетворяет условиям отбора, то в тот же процессор передается остаток данных об этом событии для принятия окончательного решения (третий уровень отбора), после чего производится запись в накопитель информации.

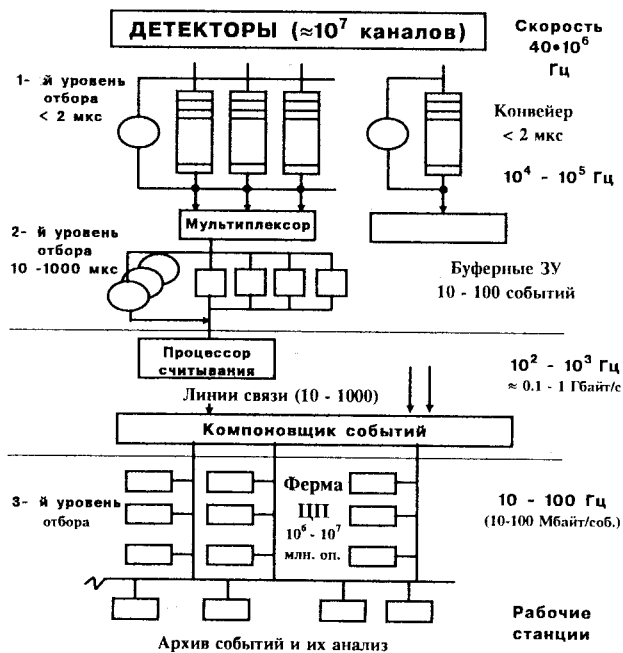


Рис.28. Обобщенная для экспериментальных установок ЛНС блок-схема ССД

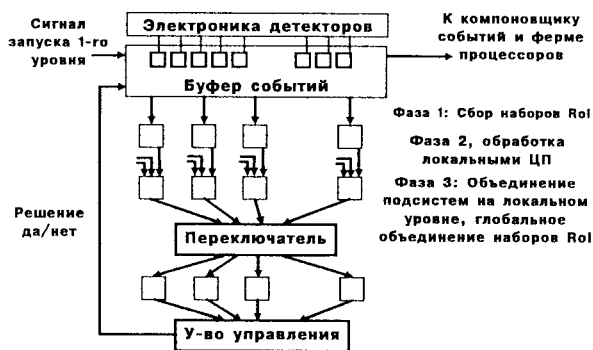


Рис.29. Решение проблемы фильтрации потока событий в эксперименте ATLAS

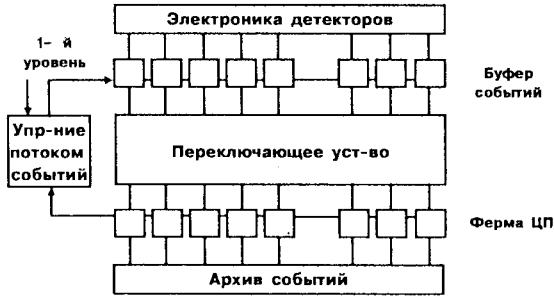


Рис.30. Решение проблемы фильтрации потока событий в эксперименте CMS

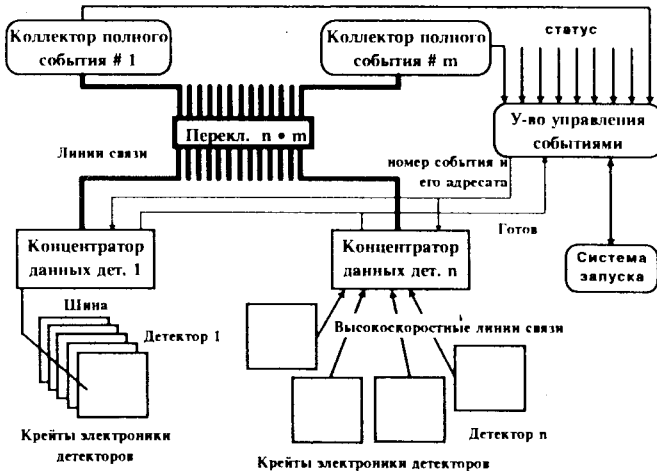


Рис.31. Блок-схема системы сбора данных, разрабатываемой для экспериментальной установки ALICE

В процессе реализации научной программы ALICE [93] предполагается создание экспериментальной установки для регистрации продуктов ядроядерного взаимодействия при энергиях ускорителя на встречных пучках LHC (CERN). Установка будет состоять из нескольких многоканальных детектирующих подсистем (см. рис.31). Предполагаемый размер события составит от 20 до 50 Мбайт. Система сбора данных установки должна удовлетворять самым высоким требованиям по производительности и

архитектуре. В ядерных экспериментах скорость поступления событий ниже, чем в *pp*-экспериментах, но размеры события значительно больше, тем самым требования по производительности становятся сравнимыми. Так как отдельное устройство не может принимать данные, поступающие со скоростью в несколько Гбайт/с, то не может быть реализована классическая древовидная структура построения ССД. Данные, поступающие с параллельных ветвей регистрирующей электроники, через переключающую матрицу передаются на множество устройств сборки полного события. При этом пропускная способность каналов связи должна быть на уровне 100—200 Мбайт/с. Большая часть регистрирующей электроники и преобразователи в цифровой код будут располагаться непосредственно на детекторах или рядом с ними. Связь с ССД будет осуществляться по цифровым шинам или оптическим линиям. Рассматриваются варианты использования магистралей VME-D64 (≈ 80 Мбайт/с) и FUTUREBUS+ (до 200 Мбайт/с).

Предполагается, что для межкрейтных соединений хватит пропускной способности каналов на уровне 10 Мбайт/с. Для этих целей будут использоваться выделенные двухсторонние оптические каналы связи (SCI, HIPPIE и т.п.). Эти каналы будут соединены с переключающими матрицами. Даже при существовании технической возможности канала обеспечить многопроцессорный режим предполагается использовать лишь двухстороннюю связь, для того чтобы предотвратить столкновение различных пакетов информации и обеспечить полностью определенное и наиболее минимальное мертвое время на событие и тем самым уменьшить потребности в буферном запоминающем устройстве. Последнее в любом случае будет иметь размеры несколько десятков гигабайт.

4.5. Ускоритель RHIC. Ускоритель-коллайдер RHIC (Relativistic Heavy Ion Collider) предполагается построить в 1999 г. в Брукхевене, США [66]. Он предназначен для ускорения тяжелых ионов до энергии 100 ГэВ в каждом пучке. Ожидается, что этой энергии будет достаточно для образования кварк-глюонной плазмы. Для проведения экспериментальных исследований на этом ускорителе создаются два больших многоканальных спектрометра PHENIX и STAR, обеспечивающих регистрацию продуктов взаимодействия ускоренных тяжелых ионов. Построение этих установок еще не завершено, и рассматриваемые ниже конструктивные особенности ССД не являются окончательно установленными, так как многие элементы этих систем находятся в стадии разработки.

Основной целью проведения экспериментальных исследований на установке PHENIX [94] является изучение свойств новой фазы материи — кварк-глюонной плазмы. Хотя акцент в установке PHENIX сделан на регистрации лептонов (электронов и мюонов), она способна обеспечить также высокоэффективную регистрацию адронов и фотонов.

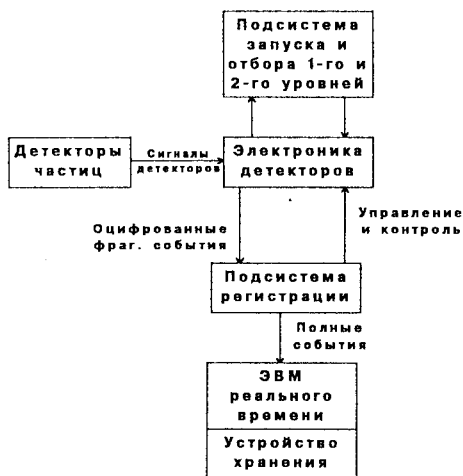


Рис.32. Структура системы сбора данных экспериментальной установки PHENIX (RHIC, Brookhaven National Laboratory)

ССД установки PHENIX должна обеспечить сбор данных почти с 200 тыс. каналов регистрации. На рис.32 показаны ее основные подсистемы. Электроника каждой из детекторных подсистем содержит буферное ЗУ для организации конвейера регистрируемых данных, время поступления которых происходит синхронно с пересечениями пучков в коллайдере.

Эти данные маркируются, фильтруются в соответствии с решениями подсистемы отбора событий первого и второго уровней, преобразуются в цифровой код, сжимаются и передаются в подсистему регистрации (ПР) в виде фрагментов события по ~50 оптическим линиям связи.

Подсистема регистрации состоит из трех частей: регистрирующая электроника, компоновщик событий (Event Builder) и устройство отбора событий третьего уровня. Организация ПР, ее связи с системой синхронизации, запуска, ЭВМ сбора данных и подсистемами медленного контроля показаны на рис.33. Для построения ПР предполагается использовать VME и FASTBUS и специализированные магистрали для организации отдельных частей подсистемы, а также стандартные сегменты, включающие в себя средства коммуникации общего назначения и четыре типа модулей: MCS — устройство контроля и калибровки; LTS — устройство обработки локального сигнала запуска; ROC — устройство управления считыванием данных; DCM — устройство накопления данных. Предполагается, что модули регистрации по каждой детекторной подсистеме будут занимать один крейт на 20 позиций. Из электроники детекторов данные поступают в модуль DCM, который выполняет операции форматирования, проверки правильности данных и текущего контроля сегмента данных. В состав каждого модуля DCM может входить микропроцессор, что обеспечит параллельное выполнение их операций над данными. Устройство ROC добавляет в локальный сегмент данных служебную информацию (источник данных, ошибки и проводимые коррекции и т.п.) и передает его в компоновщик событий. В состав ROC входят процессор общего назначения, большое по объему ЗУ и высокоскоростные каналы передачи данных. Модуль обеспечивает также

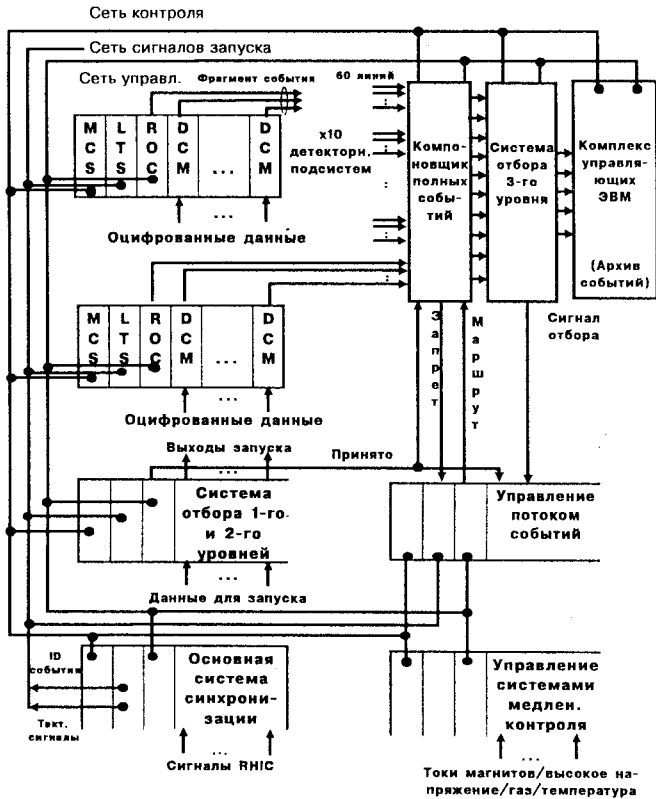


Рис.33. Блок-схема системы сбора данных экспериментальной установки PHENIX

связь с сетью (Control Net) для выполнения таких операций, как загрузка программ и запуск установки. Модуль LTS предназначен для синхронизации с сигналами ускорителя, организации взаимодействия с системами отбора событий и управления потоком событий.

Сборка полного события происходит в компьютерном комплексе событий. Данные в него поступают по 60 оптическим линиям связи для того, чтобы обеспечить пропускную способность до 300 Мбайт/с. Конструкция компьютерного комплекса должна предусматривать его возможное расширение с целью увеличения производительности, так как требуется одновременно оперировать с многочисленными потоками данных и передавать события по нескольким каналам в устройство отбора третьего уровня, которое строится из набора

50—100 процессоров общего назначения. Также необходимо, чтобы каждый процессор обладал высокоскоростным каналом ввода/вывода и поддерживал операционные системы и языки высокого уровня. Среднее время решения при этом 50—100 мс/соб. Основное назначение всей системы отбора состоит в том, чтобы обеспечить переработку всех зарегистрированных взаимодействий типа Au-Au и запись на ленту со скоростью менее 20 Мбайт/с.

Система ЭВМ реального времени обеспечивает запись полных отобранных событий на ленту, контроль со стороны экспериментаторов за работой всей установки и управление работой всех локальных сетей. В состав системы должны входить 12 высокопроизводительных рабочих станций.

В состав установки STAR [95] входят: времяпроекционная камера (140 тыс. каналов), кремниевый вершинный детектор (72 тыс. каналов), электромагнитный калориметр (1200 каналов), система, детектирующая время пролета (около 8 тыс. каналов), и набор детектирующих подсистем, необходимых для запуска установки по событию.

Данные с детектирующих подсистем передаются в ССД по оптическим волокнам. ССД обеспечивает набор экспериментальных данных событие за событием по каждому из детекторов, формирует полные события из фрагментов, обеспечивает их запись на магнитную ленту и их распределение по сети для задач обработки и контроля за ходом эксперимента (см. рис.34). В ССД можно выделить три основные части: подсистема запуска (ПЗ), подсистема регистрации (ПР) и подсистема анализа принимаемой информации в реальном масштабе времени (ПА). Конструкция ПЗ должна обеспечивать отбор событий первого и второго уровня в широком динамическом диапазоне регистрации от pp - до AuAu-взаимодействий. Так как критерии отбора событий, характеризующие состояние кварк-глюонной плазмы, мало изучены, то система отбора должна гибко перестраиваться с учетом изменения критериев отбора в ходе эксперимента на основе принятой информации. Данные ПР разделяются на фрагменты в соответствии с детекторными подсистемами. В модулях регистрации, расположенных вблизи детекторов, образуется конвейер фрагментов события, причем каждому из фрагментов присваивается свой идентификатор, с учетом которого в дальнейшем собирается полное событие. Специализированные интерфейсы, располагаемые после модулей регистрации с данного типа детектора, обеспечивают использование однотипных стандартных средств на последующих ступенях регистрации. В среднем только в 10% громадного объема данных, поступающих с модулей регистрации, содержится значащая информация. Это приводит к необходимости сжатия данных. Кроме того, выполняются операции по вычитанию пьедесталов и коррекции коэффициентов усиления в каждом из каналов регистрации. Для выполнения этих операций используются ASIC — специализированные многопроцессорные модули-

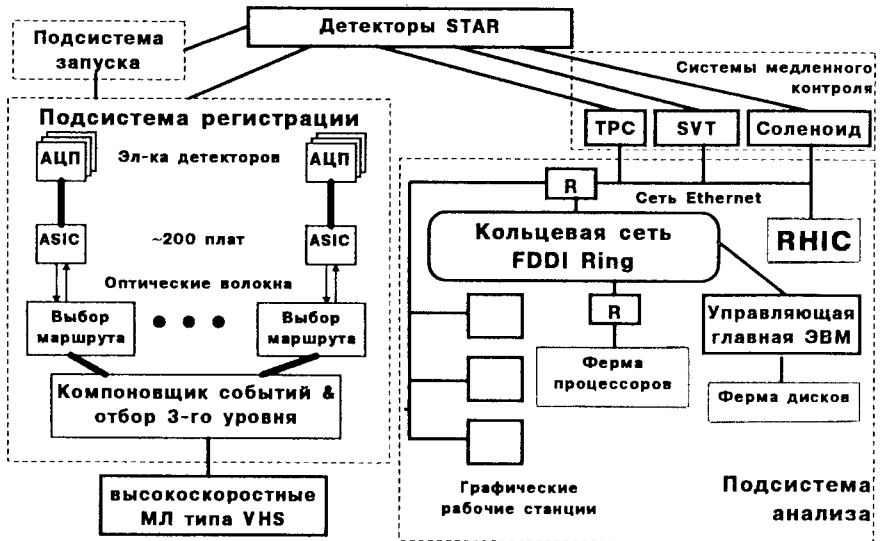


Рис.34. Блок-схема системы сбора данных экспериментальной установки STAR (RHIC, Brookhaven National Laboratory)

приемники в стандарте VME, в которые поступает конвейер фрагментов события при условии выполнения критериев отбора первого и второго уровней. Каждый из крейтов VME первого уровня содержит набор из 12 модулей-приемников, модуль связи с другими крейтами VME и процессор (в дальнейшем предполагается, что их будет четыре) третьего уровня отбора событий. Модуль связи, в качестве которого используется промышленный процессорный модуль VME, отвечает за распределение процессорных ресурсов в крейте при работе с индивидуальным событием и за организацию взаимодействия с процессорами вне данного крейта. Процессор отбора осуществляет реконструкцию трека в рамках того сектора детектора, который связан с данным крейтом VME. Информация о фрагментах треков поступает к процессорам глобального крейта VME, которые принимают окончательное решение о выборе данного события и записи его в архив на ленту. Для сборки полного события используется специальный процессор. Он отвечает за организацию коммуникаций с процессорами связи и управляет перемещением этих фрагментов.

Ожидаемая скорость появления событий при пересечении пучков ионов золота составляет 1 кГц, а протонов 1 МГц. При этом запись на ленту будет ограничена скоростями 1 Гц и 30 Гц соответственно.

4.6. Устройство архивирования данных. Одним из важнейших элементов ССД является устройство архивирования принятой информации. Объем данных, предназначенных для длительного хранения, достигает нескольких десятков терабайт (DELPHI — 5; L3 — 3,4; ZEUS — 5; H1 — 2,5; D0 — 40; CDF — 10 Тбайт) [96]. В этих экспериментах запись в основном производится на картриджи IBM 3480 или 8-мм ленты Exabyte емкостью 5 Гбайт. Скорость записи информации на один носитель составляет около 0,5 Мбайт/с [97]. В большинстве случаев скорость архивирования не превышает 5 Мбайт/с.

В экспериментах ближайшего пятилетия проблема организации хранения сверхбольших объемов данных возрастет. Установка BELLE (KEK) потребует хранения до 30 Тбайт данных в год, поступающих с высокой скоростью (15 Мбайт/с) [98]. Модернизированная установка D0 — около 200 Тбайт со скоростью 25—30 Мбайт/с. Использование носителей на магнитной ленте будет все еще в 4—10 раз дешевле дисков [99]. В настоящее время разработано специальное макетное устройство. Оно состоит из магнитофона типа SONY-DIR 1000M, обеспечивающего скорость записи до 32 Мбайт/с, робота для смены магнитных лент на 24 ленты (емкость до 2 Тбайт) [98]. Одна лента может хранить до 42 Гбайт информации [100].

5. ЗАКЛЮЧЕНИЕ

В обзоре отражены основные изменения в архитектуре ССД, происходящие на протяжении последних 25 лет за счет развития средств вычислительной техники (ЭВМ, интерфейсы, коммуникации).

Необходимость одновременного проведения автоматизированных измерений по нескольким каналам регистрации обусловила внедрение в практику физического эксперимента процессорных устройств, которые обеспечивают управление экспериментом, достаточно простое подключение нестандартного оборудования, быстрый отклик на внешние сигналы прерывания, высокоскоростную передачу принимаемой информации и работу в реальном масштабе времени. Использование в составе экспериментальных установок многоканальных детекторов привело к появлению электронной аппаратуры модульного типа, обеспечило возможность образования локальных подсистем регистрации по группам детекторов, в каждой из которых происходит сжатие, упаковка и первичная обработка данных аппаратными процессорами, и организации многоуровневого отбора событий.

Появление микропроцессоров и стандартов, определяющих построение магистрально-модульных систем VME, FASTBUS и других, позволило в значительной степени увеличить число каналов регистрации, сделало естественным создание структуры ССД с разделением потоков данных по

детекторам, упростило процедуру обработки на всех этапах передачи информации. Появилась возможность регистрировать события с объемом информации до нескольких сотен килобайт. Средства коммуникации обеспечили передачу больших потоков данных с оперативным переключением этих потоков со многих каналов регистрации на множество процессоров обработки.

В архитектуре любой из современных ССД, создаваемых для гигантских экспериментальных установок и предназначенных для работы на крупнейших ускорителях, можно найти практически все наиболее существенные методические решения, касающиеся организации сбора данных:

- 1) разделение информации о событии на фрагменты;
- 2) присвоение каждому из фрагментов своего идентификатора, что обеспечивает его последующее сетевое использование;
- 3) введение конвейерной обработки фрагментов события;
- 4) организация многоуровневого отбора событий;
- 5) использование сети процессорных устройств, число которых может не совпадать с числом деления события на фрагменты, для выполнения операций сжатия, форматирования, вычитания пьедесталов, учета калибровочных величин и т. п.;
- 6) использование таких специальных аппаратных средств, как процессорные модули, многоходовые ЗУ и коммуникации, для сверхбыстрой передачи больших массивов данных;
- 7) организация быстродействующих переключателей потоков многорядных данных с n входов на m выходов;
- 8) создание фермы процессоров, объединенных в сеть, для организации отбора событий третьего и более высоких уровней;
- 9) организация для экспериментаторов доступа к принимаемой информации с многочисленных рабочих процессорных станций;
- 10) ведение автоматизированного контроля за такими медленно меняющимися весьма многочисленными параметрами установки, как температура, давление и скорость продува газа в соответствующих детекторах, высокое напряжение и т.п.;
- 11) организация архива отобранных и принятых системой событий, для которого в основном используются магнитные ленты с высокой плотностью записи.

Большинство современных экспериментальных установок, создаваемых в таких физических центрах, как Лаборатория высоких энергий ОИЯИ, по своим масштабам значительно уступают установкам, предназначенным для проведения исследований на коллайдерах. Однако при их построении в той или иной степени используются многие из вышеупомянутых методических принципов.

Работа выполнена при поддержке РФФИ (грант 96-07-89183).

СПИСОК ЛИТЕРАТУРЫ

1. **Perrin Y. et al.** — In: RT93 Conference Record of the Eighth Conference on Real-Time Computer Applications in Nuclear, Particle and Plasma Physics, Vancouver, June 8—11 1993, TRI-93-1, TRIUMF Publications Office, Vancouver, 1993, p.304.
2. **Davies H.E.** — In: Proc. of The Meeting on Technology Arising from High-Energy Physics, Geneva, April 24—26, 1974, vol.1, Geneva, 1974, p.76.
3. **Аствацатуров Р.Г., Балдин А.М., Смирнов В.А. и др.** — Препринт ОИЯИ, 13- 6184, Дубна, 1971.
4. **САМАС** — A Modular Instrumentation System for Data Handling; Revised Description and Specification. Commission of the European Communities, Report EUR 4100e, 1972.
5. **Stuckenberg H. -J.** — In: Proc. of the 2nd International Symposium on CAMAC in Computer Application, Brussels, October 14—16 1975, Commission of the European Communities, Report EUR 5485e, 1976, p.39.
6. **Kirsten F.A.** — IEEE Trans. Nucl. Sci., 1971, v.18, H.2, p.39.
7. **Колпаков И.Ф., Смирнов В.А., Хмелевски Е.** — В кн.: Материалы VII Всесоюзной школы по автоматизации научных исследований, 27 февраля — 10 марта 1974, Ленинград. ПТЭ, №2, 1975, с.24.
8. **Klessmann H.** — In: Proc. of the 2nd International Symposium on CAMAC in Computer Application, Brussels, October 14—16 1975, Commission of the European Communities, Report EUR 5485e, 1976, p.51.
9. **Costrell L.** — IEEE Trans. Nucl. Sci., 1974, v.21, H.1, p.870.
10. **Strauss M.G. et al.** — IEEE Trans. Nucl. Sci., 1971, v.18, H.2, p.46.
11. **Barnes R.C.M.** — IEEE Trans. Nucl. Sci., 1975, v.22, H.1, p.526.
12. **Никитюк Н.М., Смирнов В.А.** — Препринт ОИЯИ, 10-6485, Дубна, 1972.
13. **Bertolucci V. et al.** — IEEE Trans. Nucl. Sci., 1971, v.18, H.2, p.53.
14. **Eichholz J.J. et al.** — IEEE Trans. Nucl. Sci., 1971, v.18, H.1, p.292.
15. **Klaisner L.A., Stephenson Jr.J.M.** — IEEE Trans. Nucl. Sci., 1971, v.18, H.1, p.299.
16. **Chernykh E.V., Kolpakov I.F., Nikityuk N.M., Smirnov V.A.** — CAMAC Bulletin No.10, 1974, p.2.
17. **Аствацатуров Р.Г., Смирнов В.А. и др.** — Препринт ОИЯИ, 1-10600, Дубна, 1977.
18. **САМАС** — Organisation of Multi-Crate Systems. Specification of the Branch Highway and CAMAC Crate Controller Type A. Commission of the European Communities, Report EUR 4600e, 1972.
19. **Yale** — NAL CAMAC System. IEEE Trans. Nucl. Sci., 1971, v.18, H.2, p.65.
20. **Dhawan S.** — IEEE Trans. Nucl. Sci., 1972, v.19, H.1, p.721.
21. **Базылев С.Н., Смирнов В.А. и др.** — Сообщение ОИЯИ, P10-90-533, ОИЯИ, Дубна, 1990.
22. **Аверичев Г.С. и др.** — В кн.: Труды третьего международного симпозиума «Пион-нуклонные и нуклон-нуклонные взаимодействия», Гатчина, апр. 17—22, 1989, ЛИЯФ им. Б.П. Константинова АН СССР, Ленинград, 1989, с.357.
23. **Verkerk C.** — In: Proc. of the 1978 CERN School of Computing, Jadwisin, Poland, May 28 — June 10 1978, CERN 78—13, Geneva, 1978, p.65.

24. **Нгуен Фук, Смирнов В.А.** — Препринт ОИЯИ, 10-8712, Дубна, 1975.
25. **GEC Elliott System Crate Philosophy.** А 2951-22, GEC Elliott Automation Ltd., Leicester, England, 1977.
26. **Sawthraw M.** — Rutherford Laboratory Report, R246, 1972.
27. **Волков В.И. и др.** — Сообщение ОИЯИ, 9-8910, Дубна, 1975.
28. **Аблеев В.Г. и др.** — Препринт ОИЯИ, 13-8967, Дубна, 1975.
29. **Аблеев В.Г. и др.** — Сообщение ОИЯИ, 10-11124, Дубна, 1977.
30. **Водопьянов А.С. и др.** — Препринт ОИЯИ, P13-80-225, Дубна, 1980.
31. **Базылев С.Н. и др.** — Сообщение ОИЯИ, 10-83-276, Дубна, 1983.
32. **Ефимов Л.Г. и др.** — Сообщение ОИЯИ, 10-85-105, Дубна, 1985.
33. **Васильев Н.Д. и др.** — В кн.: Труды VIII Всесоюзного совещания по ускорителям заряженных частиц, Протвино, 19—21 окт. 1982 г., Дубна, ОИЯИ, 1983, с.327.
34. **Le Du P.** — In: Proc. of the Intern. Conf. on Computing in High Energy Physics'91, Tsukuba, Japan, March 11—15, 1991, Universal Academy Press, Inc., Tokio, 1991, p.45.
35. **Le Du P.** — In: RT93 Conference Record of the Eighth Conference on Real-Time Computer Applications in Nuclear, Particle and Plasma Physics, Vancouver, June 8—11 1993, TRI-93-1, TRIUMF Publications Office, Vancouver, 1993, p.202.
36. **Muller K. D.** — IEEE Trans. on Nucl. Sc., 1985, vol. NS-32, No.1, p.262.
37. IEEE Standard FASTBUS Modular High-Speed Data Acquisition and Control System, ANSI/IEEE Std 960-1986. The Institute of Electrical and Electronics Engineers (IEEE), New York, 1986.
38. **STRUCK Product Summary 1990.** Tangstedt/Hamburg, Germany, 1990.
39. **Parkman C.** — In: The Proc. of the International Conference «VMEbus in RESEARCH», Zurich, Switzerland, October 11—13 1988, North-Holland, Amsterdam, 1988, p.9.
40. **Базылев С.Н., Смирнов В.А.** — В кн.: XV Международный симпозиум по ядерной электронике и Международный семинар КАМАК-92, Варшава, 29 сент. — 2 окт. 1992, ОИЯИ, Д13-92-581, Дубна, 1993, с.188.
41. **Афанасьев С.В. и др.** — Краткие сообщения ОИЯИ, №7[46]-90, Дубна, 1990, с.6.
42. **Anisimov Yu. S. et al.** — Nucl. Instr. and Meth. in Physics Research, 1995, v.A367, North-Holland, p.432.
43. **Berners-Lee T. et al.** — In: Conference Record of the 5th Conference on Real-Time Computer Applications in Nuclear, Particle and Plasma Physics, San Francisco, May 1987, IEEE Trans. Nucl. Sci., 1987, v.34, p.835.
44. Extensions to the VME Hardware and Software Standards for the Physics Community. The US VME-P and VSC committees. In: Proc. of the Intern. Conf. on Computing in High Energy Physics'95, Rio de Janeiro, Brazil, September 18—22, 1995.
45. **Essel H.G. et al.** — In: IEEE Seventh Conference REAL TIME'91 on Computer Applications in Nuclear, Particle and Plasma Physics Conference Record, June 24—28 1991, Julich, Germany, IEEE Inc., New York, 1991, p.383.
46. **Parkman C.** — ONLINE — The Newsletter of Data Acquisition and Computing For Experiments, CERN, Geneva, 1993, No.6, April, p.26.

47. **Parkman C.** — In: IEEE Seventh Conference REAL TIME'91 on Computer Applications in Nuclear, Particle and Plasma Physics Conference Record, June 24—28 1991, Julich, Germany, IEEE Inc., New York, 1991, p.424.
48. **Hiebert R.E. Jr.** — In: Proceedings of the International Symposium «Electronic Instrumentation in Physics», Dubna, May 14—17, 1991. JINR, E13-91-321, Dubna, 1991, p.123.
49. **Borrill P. et al.** — In: Proceedings of Workshop on Developments and Future Application of New Backplane Bus Architectures, March 22—23 1990, CERN, CN/90/4, CERN, Geneva, 1990, p.22.
50. **Muller H. et al.** — In: RT93 Conference Record of the Eighth Conference on Real-Time Computer Applications in Nuclear, Particle and Plasma Physics, Vancouver, June 8—11 1993, TRI-93-1, TRIUMF, Vancouver, 1993, p.16.
51. **Kristiansen H.** — In: Proceedings of Workshop on Developments and Future Application of New Backplane Bus Architectures, March 22—23 1990, CERN, CN/90/4, CERN, Geneva, 1990, p.67.
52. **Tolmie D.E.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, September 21—25, 1992, CERN 92-07, GENEVA, 1992, p.681.
53. **Bozzoli W. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, 21—25 September 1992, CERN 92-07, Geneva, 1992, p.192.
54. **Bozzoli W. et al.** — ONLINE — The Newsletter of Data Acquisition & Computing for Experiments, No. 7, July 1993, CERN, Geneva, p.8.
55. **Letheren M.F.** — In: Proc. of 1995 CERN School of Computing, Arles, France August 20 — Sept. 2 1995, CERN 95-05, Geneve, 1995, p.245.
56. **Morrison J.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, 21—25 September 1992, CERN 92-07, GENEVA, 1992, p.57.
57. **Togawa H. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7 — 11 1997, Berlin, 1997, p.392.
58. **Groves R.D.** — In: Proc. of 1995 CERN School of Computing, Arles, France 20 August — 2 Sept. 1995, CERN 95-05, Geneve, 1995, p.147.
59. **Bayko J.** Great Microprocessors of the Past and Present (March 1997).
60. **Dobinson R.W. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.249.
61. **Vaida F.** — In: Proc. of 1994 CERN School of Computing, Sopron, Hungary August 28 — Sept. 10, 1994, CERN 95-01, Geneve, 1995, p.275.
62. TI Announces Plans for 100 MIPS Large RAM DSP, February 12, 1996.
63. **Ferran P.M. et al.** — In: Proc. of the Intern. Conf. on Computing in High Energy Physics'85, Amsterdam, June 25—28, 1985, North-Holland, Amsterdam, 1986, p.322.
64. **Nash T. et al.** — In: Proc. of the Conference «Computing in High Energy Physics», Amsterdam, June 25—28, 1985, North-Holland, 1986, p.375.
65. **Cittolin S.** — In: Proc. of 1994 CERN School of Computing, Sopron, Hungary August 28 — September 10, 1994. CERN 95-01, Geneva, 1995, p.299.

66. **Ludlam T.W., Stevens A.J.** — A Brief Description of the Relativistic Heavy Ion Collider Facility, RHIC, June 1993, BNL-49177 Informal report, Brookhaven National Laboratory, 1993.
67. **Thresher J.J.** — In: Proc. of 1988 CERN School of Computing, Oxford, United Kingdom, August 15—26, 1988, CERN 89-06, Geneva, 1989, p.260.
68. **Allaby J.V.** — In: Proc. of 1987 CERN School of Computing, Troia, Portugal, September 13-26 1987, CERN 88-03, Geneva, 1988, p.240.
69. **Downing R.** — In: Proc. of the First Annual Conference on Electronics for Future Colliders, Chestnut Ridge, New York, May 22—23 1991, LeCroy Corporation, New York, 1991, p.75.
70. **Adye T. et al.** — In: Proc. of the Intern. Conf. on Computing in High Energy Physics'91, Tsukuba, Japan, March 11—15 1991, Universal Academy Press, Inc., Tokio, 1991, p.619.
71. **Adam W. et al.** — In: Proc. of the Intern. Conf. on Computing in High Energy Physics'91, Tsukuba, Japan, March 11—15 1991, Universal Academy Press, Inc., Tokio, 1991, p. 643.
72. **Verweij H.** — IEEE Trans. on Nucl. Sci., 1986, v.33, No.1, p.764.
73. **Angelov T. et al.** — Nucl. Instr. and Meth., 1991, v.A306, No.3, p.536 North-Holland.
74. **Bachler P. et al.** — In: Proc. of the Intern. Conf. on Computing in High Energy Physics'85, Amsterdam, June 25—28, 1985. North-Holland, 1986, p.283.
75. **Brisson J.C. et al.** — IEEE Trans. on Nucl. Sci., 1986, v.33, No.1, p.102.
76. **Buckhart H.J. et al.** — In: Proc. of the Intern. Conf. on Computing in High Energy Physics'91, Tsukuba, Japan, March 11—15 1991, Universal Academy Press, Inc., Tokio, 1991, p.673.
77. **The Top in Sight.** CERN Courier, June 1994, CERN, Geneva, p.1.
78. **Abe F. et al.** — Nucl. Instr. and Meth., 1988, v.A271, No.3, p.387.
79. **Amidei D. et al.** — IEEE Trans. on Nucl. Sci., 1986, v.33, No.1, p.63.
80. **CDF Collaboration.** — IEEE Trans. on Nucl. Sci., 1986, v.33, No.1, p.40.
81. **Goodwin R. et al.** — FERMILAB-Conf- 89/230, Fermilab, Batavia, 1989.
82. **Cutts D.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, September 21—25, 1992, CERN 92-07, Geneva, 1992, p.262.
83. **Gibbard B.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, September 21—25, 1992, CERN 92-07, Geneva, 1992, p.265.
84. **Haynes W.J.** — In: Proc. 1989 CERN School of Computing, Bad Herrenalb, Germany, August 20 — September 2, 1989, CERN 90-06, Geneva, 1990, p.179.
85. **Gellrich A. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.260.
86. **Park I.H.** — In: RT93 Conference Record of the Eighth Conference on Real-Time Computer Applications in Nuclear, Particle and Plasma Physics, Vancouver, June 8—11 1993, TRI-93-1, TRIUMF Publications Office, Vancouver, 1993, p.342.
87. **Youngman C.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, September 21—25, 1992, CERN 92-07, Geneva, 1992, p.145.

88. **Haynes W.J.** — In: Proc. of the Intern. Conf. on «Computing in High Energy Physics'91», Tsukuba, Japan, March 11—15 1991, Universal Academy Press, Inc., Tokio, 1991, p.627.
89. **Campbell A.J.** — In: IEEE Seventh Conference REAL TIME'91 on Computer Applications in Nuclear, Particle and Plasma Physics Conference Record, June 24—28 1991, Julich, Germany, IEEE Inc., New York, 1991, p.207.
90. **Ellis N.** — In: Proc. of the International Conference on «Computing in High Energy Physics'92», Annecy, France, September 21—25, 1992, CERN 92-07, Geneva, 1992, p.51.
91. **Mapelli L.** — In: Proc. of 1992 CERN School of Computing, L'Aquila, Italy, August 30 — September 12, 1992, CERN 93-03, Geneva, 1993, p.237.
92. **Ambrosini G. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.239. CERN LHC News., December 1994, №6, p.18.
93. **Letter of Intent for a Large Ion Collider Experiment.** CERN/LHCC/93-16, LHCC/I 4, March 1, 1993, Rev. 31, March 1993, Geneva, 1993.
94. **PHENIX Conceptual Design Report**, January 23, 1993. Brookhaven National Laboratory, 1993, p. 11-1.
95. **Lindenstruth V. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.257. STAR — Conceptual Design Report for the Solenoidal Tracker at RHIC. PUB-5347, University of California, Berkeley, 1992.
96. **Bracker S. et al.** — IEEE Trans. on Nucl. Science, 1996, v.43, No.5, p.2457.
97. **Ashktorab K. et al.** — In: RT93 Conference Record of the Eighth Conference on Real-Time Computer Applications in Nuclear, Particle and Plasma Physics, Vancouver, June 8—11 1993, TRI-93-1, TRIUMF Publications Office, Vancouver, 1993, p.355.
98. **Fujii H. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.209.
99. **Lueking L. for D0 Collaboration** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.336.
100. **Morita Y. et al.** — In: Proc. of the International Conference on «Computing in High Energy Physics'97», Berlin, April 7—11 1997, Berlin, 1997, p.321.

РЕФЕРАТЫ СТАТЕЙ, ОПУБЛИКОВАННЫХ В ВЫПУСКЕ

УДК 530.145

Физика на LHC. Красников Н.В., Матвеев В.А. Физика элементарных частиц и атомного ядра, 1997, том 28, вып.5, с.1125.

Дается обзор физики, которая будет исследоваться на LHC. Описывается поиск бозона Хиггса, CP-нарушения в распадах B -мезонов, кварк-глюонной плазмы, суперсимметрии, а также поиск новой физики вне рамок минимальной суперсимметричной модели. Приводятся основные параметры детекторов CMS и АТЛАС.

Табл.1. Ил.3. Библиогр.: 67.

УДК 524.85; 539.12

Закон Редже для небесных тел. Мурадян Р.М. Физика элементарных частиц и атомного ядра, 1997, том 28, вып.5, с.1190.

Показано, что угловой момент J большинства астрономических объектов (от планет до скоплений галактик, и, возможно, всей Вселенной в целом) может быть предсказан, исходя из значения массы объекта m , с помощью простой реджевской формулы. Найдено, что спин планет и звезд описывается законом Редже для шара, а спины галактик и скоплений галактик подчиняются закону Редже для диска. Построен космический аналог диаграммы Чью — Фраутчи, на которой обнаружены две космологически важные точки, названные точками Эддингтона и Чандрасекара. Их координаты выражаются через определенные комбинации классических и квантово-механических фундаментальных констант G , c и \hbar , m_p .

Табл.2. Ил.4. Библиогр.: 58.

УДК 539.12.01

Нормировка БРС-зарядов. Нишижима К., Демичу И. Физика элементарных частиц и атомного ядра, 1997, том 28, вып.5, с.1221.

Квантовая хромодинамика характеризуется, помимо других положений, БРС-инвариантностью и асимптотической свободой, многие фундаментальные свойства заключены в ренормализационной группе. Анализ показывает, что цветной конфайнмент с неизбежностью проистекает из ненарушенной неабелевой калибровочной симметрии и асимптотической свободы. Ключевая особенность теории состоит в перенормировке БРС-заряда.

Библиогр.: 7.

УДК 530.145

Метод континуального интегрирования для задач с суперинтегрируемыми потенциалами на трехмерном гиперboloиде. Гроше Х., Погосян Г.С., Сисакян А.Н. Физика элементарных частиц и атомного ядра, 1997, том 28, вып.5, с.1229.

Настоящая работа является четвертой из серии работ, в которой обобщено понятие суперинтегрируемых потенциалов, известных в плоском трехмерном евклидовом пространстве, на трехмерное пространство отрицательной кривизны. Построены аналоги максимально и минимально суперинтегрируемых потенциалов в \mathbb{R} на трехмерном гиперboloиде и большое число минимально суперинтегрируемых потенциалов, возникающих из цепочек подгрупп, соответствующих группе $SO(3,1)$. Несмотря

на невозможность решения соответствующих задач во всех разделяющих системах координат с помощью метода континуального интегрирования, в работе приводятся все случаи, когда удается получить точное решение для пропагаторов и спектральных разложений по волновым функциям. Особое внимание уделяется обобщению кеплеровской проблемы и задачи о гармоническом осцилляторе.

Табл.8. Библиогр.: 93.

УДК 681.321.0

Средства организации систем сбора данных для проведения экспериментов в области физики высоких энергий. *Смирнов В.А.* Физика элементарных частиц и атомного ядра, 1997, том 28, вып.5, с.1295.

Неотъемлемой частью экспериментальных установок, создаваемых в области физики высоких энергий и релятивистской ядерной физики, является электронная аппаратура, которая обеспечивает регистрацию сигналов с детекторов, осуществляет первичный анализ экспериментальной информации, обеспечивает проведение диалога с экспериментатором и передачу данных в устройства долговременного хранения. На протяжении последних 25 лет средства регистрации экспериментальной информации развиваются особенно высокими темпами, что во многом определяется такими новейшими достижениями в вычислительной технике и в средствах коммуникации, как микропроцессоры и стандарты построения магистрально-модульных систем. Современная экспериментальная установка включает в себя десятки тысяч каналов регистрации, что определяет объем электронной аппаратуры, необходимый для организации многоканальных систем сбора данных. Основной задачей систем сбора данных является регистрация максимально возможного количества полезных событий. На этот процесс, прежде всего, влияют эффективность отбора событий и время, затрачиваемое на чтение данных о событии, которые, в свою очередь, зависят от способа организации систем сбора данных. Рассматривается эволюция основных принципов архитектурного построения систем сбора данных. Процесс развития систем сбора данных проиллюстрирован примерами разработок, проводимых как в ведущих мировых физических центрах, так и в Лаборатории высоких энергий (ОИЯИ, Дубна). На примерах построения экспериментальных установок для проведения исследований на ускорителях-коллайдерах (LHC CERN, RHIC Brookhaven National Laboratory), создаваемых в настоящее время, рассматриваются тенденции будущего развития систем сбора данных.

Табл.2. Ил. 34. Библиогр.: 100.

СОДЕРЖАНИЕ

<i>Красников Н.В., Матвеев В.А.</i> Физика на ЛHC	1125
<i>Мурадян Р.М.</i> Закон Редже для небесных тел	1190
<i>Нишижима К., Демицу И.</i> Нормировка БРС-зарядов	1221
<i>Гроше Х., Погосян Г.С., Сисакян А.Н.</i> Метод континуального интегрирования для задач с суперинтегрируемыми потенциалами на трехмерном гиперboloиде	1229
<i>Смирнов В.А.</i> Средства организации систем сбора данных для проведения экспериментов в области физики высоких энергий	1295

CONTENTS

<i>Krasnikov N.V., Matveev V.A.</i> Physics on LHC	1125
<i>Muradian R.M.</i> Regge Law for Celestial Bodies	1190
<i>Nishijima K., Demizu I.</i> Renormalization of BRS Charges	1221
<i>Grosche C., Pogosyan G.S., Sissakian A.N.</i> Path Integral Discussion for Super-Integrable Potentials: the Three-Dimensional Hyperboloid	1229
<i>Smirnov V.A.</i> An Architecture of Data Acquisition Systems for Experiments in High Energy Physics	1295

К СВЕДЕНИЮ АВТОРОВ

В журнале «Физика элементарных частиц и атомного ядра» (ЭЧАЯ) печатаются обзоры по актуальным проблемам теоретической и экспериментальной физики элементарных частиц и атомного ядра, проблемам создания новых ускорительных и экспериментальных установок, автоматизации обработки экспериментальных данных. Статьи печатаются на русском и английском языках. Редакция просит авторов при направлении статьи в печать руководствоваться изложенными ниже правилами.

1. Текст статьи должен быть напечатан на машинке через два интервала на одной стороне листа (обязательно представляется первый машинописный экземпляр). Поля с левой стороны должны быть не уже 3—4 см, рукописные вставки не допускаются. Экземпляр статьи должен включать аннотации и название на русском и английском языках, реферат на русском языке, УДК, сведения об авторах: фамилия и инициалы (на русском и английском языках), название института, адрес и телефон. Все страницы текста должны быть пронумерованы. Статья должна быть подписана всеми авторами. Текст статьи может быть напечатан на принтере с соблюдением тех же правил.

2. Формулы и обозначения должны быть вписаны крупно, четко, от руки темными чернилами (либо напечатаны на принтере и обязательно размечены). Желательно нумеровать только те формулы, на которые имеются ссылки в тексте. Номер формулы указывается справа в круглых скобках. Особое внимание следует обратить на аккуратное изображение индексов и показателей степеней: нижние индексы отмечаются знаком понижения \cup , верхние — знаком повышения \cup ; штрихи необходимо четко отличать от единицы, а единицу — от запятой. Следует, по возможности, избегать громоздких обозначений и упрощать набор формул (например, применяя \exp , дробь через косую черту).

Во избежание недоразумений и ошибок следует делать ясное различие между прописными и строчными буквами, одинаковыми по начертанию (V и v , U и u , W и w , O и o , K и k , S и s , C и c , P и p , Z и z), прописные подчеркиваются двумя чертами снизу, строчные — двумя чертами сверху (\underline{S} и \underline{s} , \underline{C} и \underline{c}). Необходимо делать четкое различие между буквами e , l , O (большой) и o (малой) и 0 (нулем), для чего буквы O и o отмечают двумя черточками, а нуль оставляют без подчеркивания. Греческие буквы подчеркивают красным карандашом, векторы — синим, либо знаком $\underline{\quad}$ снизу чернилами. Не рекомендуется использовать для обозначения величин буквы готического, рукописного и других малоупотребимых в журнальных статьях шрифтов, однако если такую букву нельзя заменить буквой латинского или греческого алфавита, то ее размечают простым карандашом (обводят кружком). В случае, если написание может вызвать сомнение, необходимо на полях дать пояснение, например: ζ — «дзета», ξ — «кси», k — лат., k — русск.

3. Рисунки представляют на отдельных листах белой бумаги или кальки с указанием на обороте номера рисунка и названия статьи. Тоновые фотографии должны быть представлены в двух экземплярах, на обороте карандашом указать: «верх», «низ». Графики должны быть тщательно выполнены тушью или черными чернилами; не рекомендуется загромождать рисунок ненужными деталями: большинство надписей выносится в подпись, а на рисунке заменяется цифрами или буквами. Желательно, чтобы рисунки были готовы к прямому репродуцированию. Подписи к рисункам представляются на отдельных листах.

4. Таблицы должны быть напечатаны на отдельных листах, каждая таблица должна иметь заголовок. Следует указывать единицы измерения величин в таблицах.

5. Список литературы помещается в конце статьи. Ссылки в тексте даются с указанием номера ссылки на строке в квадратных скобках. В литературной ссылке должны быть указаны: для книг — фамилии авторов, инициалы, название книги, город, издательство (или организация),

год издания, том (часть, глава), цитируемая страница, если нужно; для статей — фамилии авторов, инициалы, название журнала, серия, год издания, том (номер, выпуск, если это необходимо), первая страница статьи. Если авторов более пяти, то указать только первые три фамилии.

Например:

1. Лезнов А.Н., Савельев М.В. — Групповые методы интегрирования нелинейных динамических систем. М.: Наука, 1985, с.208.
2. Годен М. — Волновая функция Бете: Пер. с франц. М.: Мир, 1987.
3. Turbiner A.V. — *Comm.Math.Phys.*, 1988, vol.118, p.467.
4. Ушверидзе А.Г. — ЭЧАЯ, 1989, т.20, вып.5, с.1185.
5. Endo I., Kasai S., Harada M. et al. — Hiroshima Univ. Preprint, HUPD-8607, 1986.

6. Редакция посылает автору одну корректуру. Изменения и дополнения в тексте и рисунках не допускаются. Корректура с подписью автора и датой ее подписания должна быть выслана в редакцию в минимальный срок.

Редакторы **Е.К.Аксенова, Э.В.Ивашкевич.**
Художественный редактор **А.Л.Вульфсон.**
Корректор **Т.Е.Попеко.**

Сдано в набор 6.06.97. Подписано в печать 3.10.97. Формат 60×90/16.
Бумага офсетная № 1. Печать офсетная. Усл.печ.л. 14,3. Уч.-изд.л. 17,25.
Тираж 500. Заказ 50185. Цена 4500 р.

141980 Дубна Московской области
ОИЯИ, Издательский отдел, тел. (09621) 65-165.

ISSN 0367—2026. Физика элементарных частиц и атомного ядра
1997. Том 28. Вып.5. 1125—1352.